



UNIVERSIDAD AUTÓNOMA DE YUCATÁN

FACULTAD DE INGENIERÍA

UNIDAD DE POSGRADO E INVESTIGACIÓN

**“EVALUACIÓN PRÁCTICA DE UN CONTROL NO
LINEAL APLICADO A UN INVERSOR MONOFÁSICO
CON FUNCIÓN DE CORRECCIÓN DE FACTOR DE
POTENCIA”**

TESIS

PRESENTADA POR:

DIEGO FERNANDO SÁNCHEZ FLÓREZ

EN OPCIÓN AL GRADO DE

MAESTRO EN INGENIERÍA

OPCIÓN ENERGÍAS RENOVABLES

MÉRIDA, YUCATÁN, MÉXICO

2018

“Aunque este trabajo hubiere servido para el Examen de Grado y hubiera sido aprobado por el sínodo, sólo el autor es responsable de las doctrinas emitidas en él”.

Agradecimientos

A la Facultad de Ingeniería y la Unidad de Posgrado e Investigación de la Universidad Autónoma de Yucatán, por todo el apoyo otorgado durante el desarrollo de mis estudios.

Al Consejo Nacional de Ciencia y Tecnología por la beca otorgada para la realización del trabajo de investigación.

Resumen

En este trabajo se implementa una función adicional en un inversor fotovoltaico que permite corregir el factor de potencia, incluso durante la operación en la ausencia de luz solar. Empleando la teoría de control no lineal, por medio de la propiedad de pasividad de los sistemas electrónicos de potencia, se propone una metodología para encontrar la referencia de corriente que debe generar el inversor, para compensar el desfase de corriente que generan las cargas inductivas conectadas a la red. Se realizan simulaciones previas con el software Matlab Simulink R2017a, con parámetros de elementos y límites de medición disponibles con dos cargas diferentes, bajo la operación con y sin presencia de tensión fotovoltaica.

Posteriormente se diseña y construye una tarjeta de medición y adecuación de variables eléctricas, para introducir en una tarjeta de control PSOC. Esta posee un entorno de configuración de hardware y software por medio de lenguaje de programación en C, para poder implementar la teoría de control simulada. Luego se desarrollan las pruebas con los parámetros similares a los de simulación, y de esa manera corroborar que la metodología es adecuada para compensar el factor de potencia tanto en el día como en la noche.

Abstract

In this work an additional function is implemented in a photovoltaic inverter that allows to correct the power factor, even during the operation in the absence of sunlight. Using the theory of nonlinear control, by means of the passivity property of the electronic power systems, a methodology is proposed to find the current reference that the inverter must generate, to compensate the current lag generated by the inductive loads, connected to the network. Previous simulations are carried out with the Matlab Simulink R2017a software, with parameters of elements and measuring limits available with two different loads, under the operation with and without the presence of photovoltaic voltage.

Subsequently, a measurement and adaptation device for electrical variables is designed and made, to be inserted into a PSOC control card. It has a hardware and software configuration environment through a C programming language, to implement the theory of simulated control. Then the tests are developed with parameters like those of simulation, and in this way corroborate that the methodology is adequate to compensate for the power factor both in the day and in the night.

Índice

I. Introducción	1
1.1 Antecedentes	2
1.2 Planteamiento del problema.....	4
1.3 Preguntas de investigación	5
1.4 Hipótesis	5
1.5 Objetivos	6
1.5.1 Objetivo General.....	6
1.5.2 Objetivos específicos.....	6
1.6 Justificación.....	6
1.7 Estado del arte	9
II. Marco teórico	13
2.1 Potencia eléctrica.....	13
2.2 Corrección del factor de potencia.....	16
2.2.1 Balance de energía en un corrector de factor de potencia (PFC).....	16
2.2.2 Corrector pasivo de FP.....	18
2.2.3 Topologías de circuito básicas de correctores activos de FP	21
2.2.3.1 El PFC Buck	21
2.2.3.2 El PFC Boost	23
2.2.3.3 El PFC Buck–Boost	25
2.2.3.4 Los correctores Cuk, Sepic y Zeta.....	26
2.3 Corrección del FP con el inversor propuesto	28
2.4 Definición de pasividad	30
2.5 Estabilidad en el control por pasividad	32
2.6 Modelo del sistema propuesto por pasividad	35

2.7	Estimación de la señal de control u	36
2.8	Cálculo de la corriente de referencia i_L^*	37
III.	Metodología.....	40
3.1	Acondicionamiento y operación	41
3.1.1	Módulo de potencia	41
3.1.2	Tarjeta de medición y adecuación de señal.....	42
3.1.3	Simulador fotovoltaico (Arreglo PV).....	49
3.1.4	Autotransformador	50
3.1.5	Descripción de la Carga	51
3.1.5.1	Carga de baja tensión.....	51
3.1.5.2	Carga de tensión nominal.....	52
3.2	Digitalización del Control.....	53
3.3	Simulación.....	56
3.3.1	Sincronización con tensión de red V_{CA}	57
3.3.2	Estimación de la corriente en cuadratura i_q y el FP	58
3.3.3	Cálculo de la corriente de referencia i_L^*	59
3.3.4	Cálculo de la señal de control u	61
3.3.5	Definición de día y noche con z	62
3.3.6	Selección de la señal de referencia y habilitación del PWM.....	63
3.3.7	Modulación por ancho de pulso - PWM.....	64
3.3.8	Modelo del circuito.....	67
3.4	Programación de la tarjeta de control.....	69
3.4.1	Temporizador.....	71
3.4.2	Convertidor analógico a digital (ADC).....	72
3.4.3	Modulación de ancho de Pulso – PWM.....	74

3.4.4	Convertidor de digital a analógico - DAC.....	77
3.4.5	Registros de control.....	78
3.4.6	Diagrama de Flujo de la Rutina de Control.....	79
3.5	Conexión del Sistema	80
3.6	Secuencia de conexión y energizado.....	81
IV.	Resultados y discusión.....	82
4.1	Resultados de simulación	82
4.1.1	Baja tensión.....	82
4.1.1.1	Sincronización	82
4.1.1.2	Arranque del inversor	83
4.1.1.3	Transición día a noche	85
4.1.1.4	Transición de noche a día	87
4.1.2	Tensión nominal	89
4.1.2.1	Sincronización	89
4.1.2.2	Arranque del inversor	90
4.1.2.3	Transición de día a noche	92
4.1.2.4	Transición de noche a día.	94
4.2	Resultados experimentales.	96
4.2.1	Prueba con PSOC4.	96
4.2.2	Pruebas con PSOC5 en baja tensión	97
4.2.2.1	Sincronización	97
4.2.2.2	Arranque del inversor	98
4.2.2.3	Transición de día a noche	99
4.2.2.4	Transición de noche a día	100
4.2.3	Pruebas con PSOC5 con tensión nominal.....	101

4.2.3.1 Arranque del Inversor	101
4.2.3.2 Transición de día a noche	103
4.2.3.3 Transición de noche a día	105
V. Conclusiones	106
VI. Recomendaciones	106
VII. Referencias	107
Anexos	110
A.1 Código principal - main.c.....	110
A.2 Función cruce.c.....	116
A.3 Función desfase90.c	117
A.4 Función sen2pik.c	118
A.5 Función cos2pik.c.....	119
A.6 Función controlPI.c.....	120
A.7 Función pasividad.c.....	121
A.8 Conexión de la tarjeta PSOC5	123

Lista de Tablas

Tabla 1. Especificaciones del módulo de potencia IPES-2K5-4510.....	41
Tabla 2. Especificaciones de la Tarjeta de Adquisición.....	42
Tabla 3. Listado de componentes por tarjeta.	45
Tabla 4. Valores de las constantes Kp y Ki del controlador PI.	60
Tabla 5. Lógica de activación de los interruptores.	64
Tabla 6. Parámetros de simulación del circuito a baja tensión. Fuente: Autor.	68
Tabla 7. Parámetros de simulación con carga a tensión nominal. Fuente: Autor.....	89

Lista de Figuras

Figura 1. Estructura de control genérica para un inversor fotovoltaico con diversas etapas.	2
Figura 2. Triángulo de potencias.	14
Figura 3. Tensión, corriente y ángulo del factor de potencia en un circuito resistivo / inductivo.	15
Figura 4. Diagrama de bloques de una unidad ac - dc de PFC.	16
Figura 5. Balance de energía en un PFC.	17
Figura 6. PFC, con filtro armónico LC serie sintonizado.	19
Figura 7. PFC de entrada inductiva.	20
Figura 8. Filtro pasa bajas inductivo.	20
Figura 9. Corrector Buck	22
Figura 10. Corrector Boost	24
Figura 11. Corrector Buck-Boost.	25
Figura 12. Circuitos PFC de cuarto orden	27
Figura 13. Esquema de modelo de inversor como filtro activo para rectificación de potencia.	28
Figura 14. Configuración RLC serie para mostrar propiedad de pasividad.	31
Figura 15. Diagrama de bloques del sistema a implementar.	39
Figura 16. Módulo de potencia IPES-2K5-4510.	41
Figura 17. Adecuación de corriente alterna.	43
Figura 18. Adecuación de señal de corriente directa y alterna.	43
Figura 19. Divisor de tensión y conexión al sensor AMC 1100.	43
Figura 20. Adecuación de tensión en tensión alterna.	44
Figura 21. Adecuación de tensión en directa.	44
Figura 22. Tarjeta de adquisición de señales.	46
Figura 23. Prueba de Corriente en AC, con salida a 3.3 V.	47
Figura 24. Prueba de Corriente en AC, con salida a 5 V.	47
Figura 25. Prueba de Voltaje en AC, con salida a 3.3 V.	48
Figura 26. Prueba de Voltaje en AC, con salida a 5 V.	48

Figura 27. Fuente programable (simulador fotovoltaico).	49
Figura 28. Autotransformador de salida de tensión variable.	50
Figura 29. Carga utilizada para la prueba de tensión reducida.	51
Figura 30. Desfase entre i_{carga} (azul – violeta) y V_{AC} (amarilla).	51
Figura 31. Motor de desagüe de lavadora doméstica.	52
Figura 32. Comportamiento de i_{carga} (azul) de motor de lavadora, respecto a V_{AC} (amarilla).	52
Figura 33. Modelo del sistema en Simulink.	56
Figura 34. Generación del reloj discreto, y función de cruce por cero.	57
Figura 35. (De derecha a izquierda) Códigos de las funciones cruce y contador.	57
Figura 36. Transformación DQ de la corriente de carga, y su respectivo factor de potencia.	58
Figura 37. (De arriba a abajo) Código de la función DQ y factor de potencia.	58
Figura 38. Estimación de la corriente de referencia.	59
Figura 39. Código de la función i_{Lref}	60
Figura 40. Configuración de parámetros del control PI.	60
Figura 41. Bloque para el cálculo de la señal de control u	61
Figura 42. Código para el cálculo de la señal u de control.	61
Figura 43. Bloque para definir z y R_p	62
Figura 44. Código para la función de z	62
Figura 45. Selección de señal de control, y habilitación del PWM.	63
Figura 46. Código de la función cruce por cero.	63
Figura 47. Bloque para la generación del PWM.	64
Figura 48. Pulsos de modulación de PWM para un puente H.	65
Figura 49. Configuración de parámetros del bloque de generación PWM de tres niveles.	66
Figura 50. Modelo del circuito.	67
Figura 51. Diagrama general de los componentes de hardware utilizados.	69
Figura 52. Tarjeta de control PSOC4 de Referencia: CY8CKIT-042.	70
Figura 53. Tarjeta de control PSOC5 de Referencia: CY8CKIT-059.	70
Figura 54. Temporizador para la ejecución de la rutina de control.	71

Figura 55. Configuración del Temporizador.	71
Figura 56. Módulo de conversión ADC en PSOC.....	72
Figura 57. Configuración del módulo ADC.....	73
Figura 58. Módulo de PWM en el PSoc.	74
Figura 59. Configuración del módulo de PWM. Parte 1.	75
Figura 60. Configuración del módulo de PWM. Parte 2.	75
Figura 61. Tiempos muertos en la activación del PWM para sus salidas.....	76
Figura 62. Módulo DAC.....	77
Figura 63. Configuración del módulo DAC.....	77
Figura 64. Registros de control para uso general.....	78
Figura 65. Configuración de los registros de control.	78
Figura 66. Diagrama de flujo de la rutina de control.....	79
Figura 67. Conexión del sistema completo.	80
Figura 68. Cruce por cero y sincronización con la red.	82
Figura 69. Comportamiento de la corrientes y tensiones del inversor.....	83
Figura 70. Comportamiento de las potencias;.....	84
Figura 71. Comportamiento del factor de potencia.....	84
Figura 72. Comportamiento del inversor en la transición de día a noche.....	85
Figura 73. Comportamiento de las potencias en la transición día a noche.	86
Figura 74. Factor de potencia en la transición día a noche.....	86
Figura 75. Comportamiento del inversor en la transición de noche a día.....	87
Figura 76. Comparación de potencias en la transición noche a día.	87
Figura 77. Factor de potencia en la transición de noche a día.....	88
Figura 78. Sincronización con la V_{AC} nominal.	89
Figura 79. Comportamiento de las tensiones y corrientes del sistema en el arranque del inversor.....	90
Figura 80. Comportamiento de las potencias en el arranque del inversor a tensión nominal.....	91
Figura 81. Comportamiento del FP durante el arranque del inversor.....	91
Figura 82. Dinámica de las corrientes y tensiones a V_{AC} nominal.....	92
Figura 83. Dinámica de las potencias a V_{AC} nominal.	93

Figura 84. Comportamiento del FP en la transición día - noche con V_{AC} nominal.....	93
Figura 85. Dinámica del sistema en la transición noche a día.....	94
Figura 86. Dinámica de las potencias en la transición noche a día.....	95
Figura 87. Comportamiento del FP en la transición de noche a día.....	95
Figura 88. Pruebas con PSOC4.....	96
Figura 89. Sincronización de la señal de contador k con la tensión de red.....	97
Figura 90. Comportamiento de las corrientes: del inversor (verde), de red (violeta), de carga (azul) y tensión de red (amarillo).	98
Figura 91. (a) izquierda: funcionamiento de día. (b) derecha: transición de día a noche.	99
Figura 92. (a) Izquierda: funcionamiento en la noche. (b) Derecha: Transición de noche a día.	100
Figura 93. Arranque del inversor en la implementación con V_{AC} nominal en la carga.	101
Figura 94. Comportamiento de las corrientes en el día con escala de 1 Ap /div.	102
Figura 95. Comportamiento de V_{PV} (Verde) y V_C (azul) durante el día.....	102
Figura 96. Transición de día a noche.	103
Figura 97. Comportamiento del sistema en estado estable durante la noche.	104
Figura 98. Comportamiento de V_C (azul) y V_{PV} (verde) durante la noche.....	104
Figura 99. Transición de noche a día.	105

I. Introducción

La generación de energía eléctrica se realiza por medio del aprovechamiento y la transformación de las diversas fuentes de energía que hay en la naturaleza, y pueden ser del tipo renovable y no renovable. Desde el siglo XIX se ha usado las energías no renovables a partir del uso del petróleo y sus derivados, los cuales, iniciando por su extracción, transporte y almacenamiento, generan un gran impacto al medio ambiente, muchas veces con daños ecológicos irreparables. El uso de energías renovables o alternativas para la generación eléctrica se ha venido desarrollando desde mediados del siglo pasado, por medio de la energía eólica, así como la generación a partir de la energía solar. Inicialmente, esta última se ha desarrollado con baja eficiencia, pero se han alcanzado niveles adecuados para incursionar en el mercado y hacer de la opción de energías renovables una alternativa adecuada en la generación, además de ser más amigable con el medio ambiente.

Existen en la actualidad dos tipos de sistemas de generación, los aislados y los interconectados a la red. Los aislados utilizan el almacenamiento de energía, para luego ser utilizada cuando es requerida. Los interconectados realizan la inyección de potencia eléctrica a la red existente, lo cual se ha venido implementando desde hace tiempo, pero gracias a la diversificación que hay a nivel mundial del uso de energías alternativas y del porcentaje representativo que éstas manejan de toda la energía producida a nivel mundial, se hace necesario la implementación de sistemas que garanticen la correcta inyección de energía producida por dichas fuentes a las redes eléctricas existentes, bajo estándares de calidad y condiciones seguras de operación bajo cualquier situación de operatividad.

La implementación de dispositivos inversores de corriente para inyección a red es necesaria, ya que la energía producida por los sistemas generadores de energías renovables (fotovoltaica principalmente) en su mayoría, producen corriente continua, o de DC, y las redes de alimentación eléctrica son todas en corriente alterna, o de AC. Los inversores a su vez pueden ser monofásicos o trifásicos, dependiendo de la cantidad de potencia a generar, y del tipo de implementación que se requiera realizar.

Muchos de los dispositivos inversores que operan actualmente son del tipo monofásico, los cuales están dispuestos en lugares donde poseen generación con sistemas fotovoltaicos y/o eólicos, los cuales, al estar conectados a la red, comprometen su estabilidad creando desbalance de la red trifásica y, dependiendo del tipo de cargas a manejar, pueden afectar el parámetro de factor de potencia en la red.

1.1 Antecedentes

Debido a la gran variedad de topologías de inversores fotovoltaicos sin transformador, las estructuras de control también son muy diferentes. El algoritmo de modulación tiene que ser específico para cada topología. A continuación, se presentará una estructura de control invariante de topología genérica para una topología sin transformador típica, como se muestra en la figura 1.

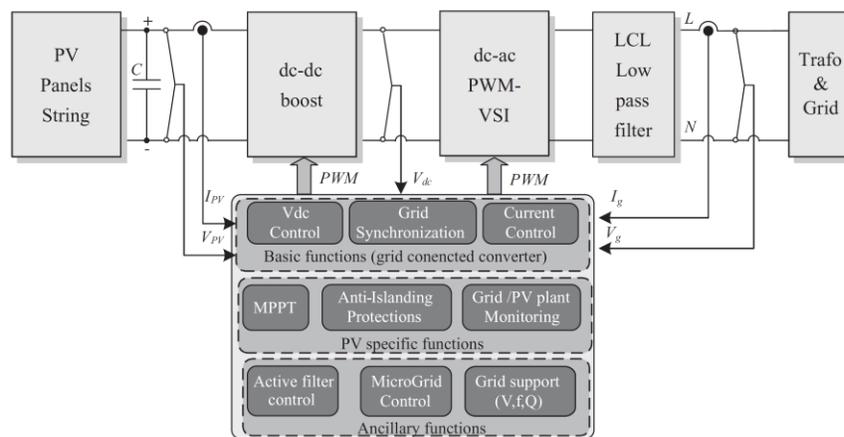


Figura 1. Estructura de control genérica para un inversor fotovoltaico con diversas etapas.

Fuente: (Remus, Marco, & Pedro, 2011)

Como puede verse en la figura 1, se pueden definir tres clases diferentes de funciones de control:

1. Funciones básicas - común para todos los inversores conectados a la red
 - Control de corriente de la red
 - Límites impuestos por las normas
 - Estabilidad en el caso de grandes variaciones de impedancia de la red
 - Distancias de voltaje en la red

- Control de voltaje de DC
 - Adaptación a las variaciones de tensión de red
 - Distancias de voltaje en la red
 - Sincronización de red
 - Funcionamiento en el factor de potencia unitario según lo requerido por las normas
 - Distancias de voltaje en la red
 - Anti-Islanding (AI), que es el fenómeno cuando no hay tensión de red, pero la fuente local sigue funcionando, para lo cual el inversor debe desconectarse automáticamente de la red, hasta cuando esta se reestablezca, según las normas (VDE 0126, IEEE 1574, etc.)
2. Funciones específicas de fotovoltaicos (PV) - comunes para todos los inversores fotovoltaicos
- Seguimiento del punto de máxima potencia (MPPT)
 - Rendimiento de MPPT muy alto durante el estado estacionario (típicamente > 99%)
 - Rastreo rápido durante cambios de irradiación rápida (eficacia MPPT dinámica)
 - Funcionamiento estable a niveles de irradiación muy bajos
 - Monitorización de la red
 - Sincronización
 - Detección rápida de voltaje / frecuencia para Anti-Islanding pasiva
 - Vigilancia de plantas
 - Diagnóstico del conjunto de paneles fotovoltaicos
 - Detección de sombreado parcial
3. Funciones auxiliares
- Soporte de red
 - Control de voltaje local
 - Compensación Q
 - Compensación de armónicos
 - Recorrido de fallo (Remus, Marco, & Pedro, 2011)

El consumo de energía de las cargas, que en mayor medida son del tipo inductivas (accionamiento de motores, transformadores, bobinas, etc.), hace que el factor de potencia en la red se vea deteriorado, por lo cual, los dispositivos que realizan la función de corrección del factor de potencia son importantes para mantener el correcto funcionamiento de la red y su deterioro no sea tan agresivo.

Los dispositivos inversores funcionan solamente mientras hay presencia de la fuente de energía renovable que los alimenten, el resto del tiempo permanecen inactivos. Por esta razón, se debe aprovechar durante ese tiempo para el desarrollo de otra función adicional, como es la de compensar de factor de potencia, lo cual, trae beneficios técnicos y económicos, como lo son el aumento de la capacidad eléctrica, mejora de la tensión en la red, disminución de pérdidas por transmisión, y la reducción del costo total del consumo energético.

En el presente trabajo se plantea la implementación y evaluación de una topología de control no lineal por pasividad en el control de un inversor de alto rendimiento que permita el aprovechamiento de las fuentes de energía renovable y permita el mejoramiento de la calidad energética de la red eléctrica a la cual se conecte, mediante la corrección del factor de potencia (FP) trabajando como filtro activo, simultáneamente.

1.2 Planteamiento del problema

En el presente trabajo se propone un inversor monofásico fotovoltaico, al cual se le dé adicionalmente la función de filtro activo para corregir el factor de potencia en modo nocturno o en ausencia de luz solar, donde pueda realizar inyección de potencia reactiva en el momento requerido. Teniendo en cuenta que actualmente los dispositivos inversores funcionan solamente en la presencia de fuente de energía renovable, el inversor propuesto emplea un esquema de control no lineal por pasividad, el cual puede operar en todos los escenarios de trabajo propuestos para el dispositivo. Esto se traduce en una mejora significativa en la calidad energética de la red donde se vaya a conectar el dispositivo, y la consecuente reducción en el costo del consumo energético.

En la actualidad, muchas de las funciones de bienestar y confort para el hombre, como el desplazamiento, el mantenimiento de la temperatura en algún lugar, riego de cultivos, comunicaciones, etc., se realizan gracias al accionamiento de dispositivos eléctricos (como lo es un motor, bobinas, y transformadores). Estas cargas trabajan con dos tipos de energía, una es la activa, y la otra la reactiva. La primera es aprovechada para realizar el trabajo requerido en el caso de dispositivos de traslación o rotación, y la segunda es el producto de magnetizar una bobina, lo cual genera un desfase en la señal de corriente eléctrica con respecto a la señal tensión. Este desfase es producido en los dispositivos de tipo inductivo al funcionar, pero es nocivo para las líneas de transmisión de energía eléctrica, por ende, su regulación está reglamentada a nivel internacional.

En un sistema fotovoltaico interconectado a la red eléctrica la señal de salida del inversor se debe adaptar a las condiciones de red en el punto donde se realiza la interconexión, sin perturbar ni cambiar las especificaciones del suministro a los demás usuarios. Existen gran variedad de topologías para lograr las especificaciones técnicas estipuladas, pero en todas estas no hay alguna que logre abarcar más de un problema de calidad energética que se presente. Aquí se plantea un sistema que pueda otorgar una referencia de corriente sinusoidal pura que pueda variar su fase de acuerdo con la carga que esté conectada a la red eléctrica y mantener sus parámetros de operación dentro del rango establecido.

1.3 Preguntas de investigación

- ¿Puede un inversor fotovoltaico realizar corrección del factor de potencia?
- ¿Puede un inversor fotovoltaico funcionar como filtro activo durante la noche?
- ¿Puede implementarse un esquema de control no lineal por pasividad para controlar un inversor monofásico fotovoltaico?

1.4 Hipótesis

Un inversor monofásico fotovoltaico con control por pasividad puede operar tanto en presencia como en ausencia de fuente de energía renovable para corregir el factor de potencia.

1.5 Objetivos

1.5.1 Objetivo General

Implementar una función adicional en un inversor fotovoltaico que permitan corregir el factor de potencia, inclusive durante la operación en ausencia de luz solar.

1.5.2 Objetivos específicos

- Diseñar los circuitos necesarios para evaluar el funcionamiento del inversor interconectado a la red.
- Hallar una metodología que permita generar un cálculo correcto y rápido de la referencia de corriente del inversor.
- Desarrollar el algoritmo de control por pasividad en una tarjeta PSOC que permita seguir la referencia de voltaje y de corriente para su óptimo funcionamiento.
- Evaluar el inversor fotovoltaico con distintos niveles de factor de potencia, y en ausencia de luz solar.

1.6 Justificación

La mayoría de los equipos eléctricos utilizan potencia activa o real que es la que hace el trabajo real, pero debido a su capacitancia o inductancia también producen la potencia reactiva la cual no produce un trabajo físico directo en los equipos. Un alto consumo de energía reactiva puede producirse como consecuencia principalmente de:

- Un gran número de motores.
- Presencia de equipos de refrigeración y aire acondicionado.
- Una subutilización de la capacidad instalada en equipos electromecánicos, por una mala planificación y operación en el sistema eléctrico de la industria.
- Un mal estado físico de la red eléctrica y de los equipos de la industria (Comisión Federal de Electricidad (CFE), 2017).

El hecho de transportar una energía mayor a la que realmente se consume, impone la necesidad de que los conductores, transformadores y demás dispositivos que

participan en el suministro de esta energía sean más robustos, por lo tanto, se eleva el costo del sistema de distribución. Además, el efecto resultante de una enorme cantidad de usuarios en esta condición provoca que disminuya en gran medida la calidad del servicio de electricidad (fluctuaciones de tensión, cortes en el suministro, etc.). Por estos motivos, las compañías de distribución toman medidas que tienden a compensar económicamente esta situación (penalizando o facturando la utilización de energía reactiva) o bien a regularizarla (induciendo a los usuarios a que corrijan sus instalaciones y generen un mínimo de energía reactiva).

En México, cuando el factor de potencia tenga un valor inferior a 0.9, el suministrador de energía eléctrica tendrá derecho a cobrar al usuario una penalización o cargo por la cantidad que resulte de aplicar al monto de la facturación el porcentaje de recargo (Comisión Federal de Electricidad (CFE), 2004) que se determine según la ecuación (1)

$$Penalizacion (\%) = \frac{3}{5} \left[\frac{90}{FP} - 1 \right] \times 100, \quad (1)$$

siendo la máxima penalización aplicable del 120%. En el caso de que el factor de potencia tenga un valor superior a 0.9, el suministrador tendrá la obligación de bonificar al usuario la cantidad que resulte de aplicar a la factura el porcentaje de bonificación según la ecuación (2)

$$Bonificacion (\%) = \frac{1}{4} \left[1 - \frac{90}{FP} \right] \times 100, \quad (2)$$

donde la máxima bonificación aplicable es del 2.5%. Los valores resultantes de la aplicación de estas fórmulas se redondearán a un solo decimal, por defecto o por exceso, según sea o no menor que 5 (cinco) en el segundo decimal.

Además del incremento en el importe de la facturación, un bajo factor de potencia también deriva en los siguientes problemas:

- Mayor consumo de corriente.
- Aumento de las pérdidas en conductores.
- Desgaste prematuro de los conductores.
- Sobrecarga de transformadores y líneas de distribución.

- Incremento en caídas de voltaje.

Es por todo esto que el desarrollo de este tema de investigación servirá para compensar toda la potencia reactiva generada para corregir el factor de potencia entre la componente fundamental de la tensión y de corriente, que no están dentro del estándar exigido por la compañías de distribución eléctrica, y de esa manera lograr en lo posible la reducción del consumo energético tanto en presencia o ausencia de luz solar.

1.7 Estado del arte

Con la creciente introducción de la generación fotovoltaica residencial y de pequeña empresa comercial (PV), se ha incrementado el interés en utilizar esta fuente de generación renovable para soportar la red de distribución de energía, ya que los clústeres de energía solar residencial tienen el potencial de suministrar energía reactiva a la red para la regulación del voltaje y la frecuencia a través del control del nivel del sistema y la comunicación con el operador de la red. Los sistemas eléctricos solares también se pueden utilizar para mejorar los perfiles de tensión en los alimentadores de distribución y también para proporcionar la corrección del factor de potencia en el medidor en cada hogar. En (Ibrahima, Xinhui, & Mohammed, 2015) se estudia el impacto de las funciones de soporte de red del micro-inversor en la red de distribución para el PV residencial de alta penetración.

En (Yu-Kun, Tsorng-Juu, & Wei-Chia, 2015), se implementa un microcontrolador conectado a la red fotovoltaica (PV) controlado por un controlador de corrección de factor de potencia (PFC). El controlador PFC se adopta para controlar la corriente de salida del convertidor sinusoidalmente. Además, el circuito de control de seguimiento de potencia máxima puede obtener la máxima potencia de los módulos fotovoltaicos. La dualidad entre el circuito PFC y el circuito inversor se presenta en primer lugar. A continuación, se aplican las reglas de diseño PFC en el circuito inversor. Sin embargo, el inversor flyback controlado por el modo de conducción de contorno (BCM) PFC provoca una alta magnitud del tercer armónico. Por lo tanto, el método de inyección de tercer armónico se estima y analiza para mejorar la distorsión armónica total de corriente de salida.

En (D. & M., 2014) se discute el diseño y control de un inversor fotovoltaico avanzado. La etapa de potencia de entrada consiste en un convertidor dc - dc basado en topología Boost acoplado por inductores. Esta configuración de circuito garantiza la amplificación de voltaje necesaria en las aplicaciones fotovoltaicas conectadas a la red. La segunda etapa de potencia es un inversor trifásico que funciona con el fin de explotar la funcionalidad de la configuración de dos ramas. Se analiza el principio de funcionamiento del circuito propuesto y se utiliza un modelo de panel PV adecuado.

La estrategia de control adoptada se basa en la técnica de control deslizante con el fin de aprovechar sus bien conocidas propiedades de robustez. Además, se ha empleado el enfoque de Seguimiento de Punto Máximo de Potencia (MPPT) basado en el esquema de búsqueda de extremo para un seguimiento rápido de los cambios de irradiación realizando una superficie deslizante adaptativa. Además, se ha dedicado una gran atención al control del inversor para obtener la corrección del factor de potencia, la reducción efectiva de los desequilibrios y la distorsión de las formas de onda.

La generación de energía reactiva por los inversores fotovoltaicos conectados a la red (PV) se está convirtiendo en un tema importante tanto para el sector académico como para la industria de servicios eléctricos. En (Peng, Baghzouz, & Haddad, 2013) se revisa la capacidad y disponibilidad de generación de volt-amperes reactivos (VAR) del inversor fotovoltaico utilizando el concepto de curva de duración de generación de potencia (PGDC) y las metodologías de control de VAR propuestas. El impacto de un nivel moderado de penetración fotovoltaica en un alimentador de distribución local utilizando la carga real y los datos meteorológicos, se evalúa en términos de la generación de potencia reactiva necesaria por dichos sistemas fotovoltaicos con el fin de restablecer el factor de potencia operativo del alimentador. Se determinó que el simple control local de los inversores utilizando una combinación de kVA constante y factor de potencia constante durante algunas partes de los días de verano, proporciona una restauración satisfactoria del factor de potencia en funcionamiento de la alimentación principal.

El aumento de la adopción de los generadores fotovoltaicos (PV) en el techo presenta un reto cada vez mayor para algunas empresas de servicios públicos de distribución, ya que los controles locales tradicionales nunca fueron destinados a altas tasas de penetración. Algunos países ya han iniciado el proceso de actualización de sus normas de control para sistemas fotovoltaicos conectados a red. En (Seuss & Harley, 2013) se presenta una estrategia de control distribuido de bajo costo para los generadores fotovoltaicos de techo conectados a la red que aborda algunas de las preocupaciones de la alta penetración PV al tiempo que añade algunos beneficios a la empresa. La

estrategia de control no requiere una infraestructura de comunicaciones avanzada, pero todavía permite cierto control agregado de las salidas de potencia activa y reactiva de las unidades fotovoltaicas y sus inversores conectados a la red. El documento demuestra que una empresa de distribución que emplea esta estrategia de control para abordar los problemas de alta penetración PV también será capaz de obtener una mejora de la corrección del factor de potencia y potencialmente nuevas formas de obtener ingresos de las interacciones del mercado abierto. En este trabajo también se presentan simulaciones de la estrategia de control durante la carga diaria y los ciclos de insolación.

En (Varma, Siavashi, Das, & Sharma, 2012) se presenta un estudio de simulación digital en tiempo real (RTDS) de un sistema solar fotovoltaico junto con un compensador estático síncrono conocido como STATCOM, cuyo conjunto es denominado PV-STATCOM. Esta tecnología se utiliza en la noche para la corrección del factor de potencia y la regulación de voltaje en los terminales de un motor de inducción que funciona con un factor de potencia deficiente. Durante el día, los mismos objetivos se lograrán junto con la producción de energía real de la insolación solar, utilizando la capacidad del inversor que queda después de la generación de energía real. Se implementó esta nueva tecnología, por primera vez en Canadá, en un sistema solar de 10 kW. El nuevo control propuesto sobre el sistema solar fotovoltaico ayuda a aumentar la utilización del sistema solar fotovoltaico, mejorar el rendimiento general del sistema eléctrico y proporcionar un potencial de aprendizaje de ingresos adicionales para las granjas solares para proporcionar los servicios anteriores, tanto durante la noche y el día.

En (Fosler & NVNS, 2017), se tiene una aplicación práctica de la tarjeta de desarrollo PSOC 5LP, para el diseño e integración de un sistema de control de un micro inversor solar, en el cual se habla de las diversas etapas que incluye, desde la lectura de todas las señales, hasta la activación de los interruptores de control del inversor con una configuración de puente completo de corrimiento de fase e incluye la sincronización a red y un algoritmo de MPPT como función adicional. Su implementación se realiza por medio de una carga de corriente alterna programable, una fuente de corriente alterna

controlada y un simulador de arreglo fotovoltaico. Aquí se da una idea clara de cómo debe estructurarse la implementación de un sistema de control cualquiera, para el tipo de tarjeta de control que se va a utilizar.

El presente trabajo corresponde a la continuación de la investigación realizada en (Flota, Ali, Villanueva, & Perez, 2016) y (Peraza, 2016), donde se llegó hasta la simulación de operación del esquema de control para el inversor con operación nocturna, por lo cual se va a hacer énfasis en la evaluación del funcionamiento del esquema de control por pasividad para diversas cargas que realicen consumo de potencia reactiva.

II. Marco teórico

En esta sección se presenta la definición de potencia eléctrica y de sus componentes, del factor de potencia, la teoría del esquema de control por pasividad, elementos de corrección del factor de potencia y otros parámetros para la mejora de la calidad de la energía.

2.1 Potencia eléctrica

La potencia aparente S en un sistema eléctrico monofásico está definida por la expresión

$$S = V \times I, \quad (3)$$

y para sistemas trifásicos

$$S = \sqrt{3} \times V \times I, \quad (4)$$

donde V e I corresponden a las amplitudes RMS de la tensión de línea y corriente de línea respectivamente.

El factor de potencia FP puede ser visto como el porcentaje de la potencia total aparente que es convertida en potencia real o aprovechada. Por lo tanto, la potencia activa P puede ser definida por

$$P = V \times I \times FP, \quad (5)$$

y su equivalente en sistemas trifásicos

$$P = \sqrt{3} \times V \times I \times FP. \quad (6)$$

En un sistema eléctrico, si el factor de potencia es 0.80, el 80% de la potencia aparente se convierte en trabajo útil. La potencia aparente es lo que el transformador tiene que llevar a fin de que el hogar o negocio pueda funcionar. La potencia activa es la parte de la potencia aparente que realiza un trabajo útil y suministra pérdidas en el equipo eléctrico asociado con la realización del trabajo. Un factor de potencia más alto conduce a un uso adecuado de la corriente eléctrica en una instalación. ¿El factor de potencia puede alcanzar el 100%? En teoría puede, pero en la práctica no puede sin algún tipo de dispositivo de corrección de factor de potencia. La razón por la que puede

acercarse al 100%, pero no lo suficiente para alcanzarlo, es porque todos los circuitos eléctricos tienen inductancia y capacitancia, lo que introduce potencia reactiva. La potencia reactiva es la parte de la potencia aparente que le impide obtener un factor de potencia del 100%. La potencia reactiva establece un campo magnético en el motor para que se produzca un par. Es también la potencia que establece un campo magnético en un núcleo de transformador que permite la transferencia de energía desde el primario a los devanados secundarios. (Sankaran, 2002)

Cualquier dispositivo cuando se somete a un potencial eléctrico desarrolla un campo magnético que representa la inductancia. A medida que la corriente fluye en el dispositivo, la inductancia produce un voltaje que tiende a oponerse a la corriente. Este efecto, conocido como la ley de Lenz, produce una caída de voltaje que representa una pérdida. En cualquier caso, la inductancia en dispositivos de corriente alterna está presente necesariamente. En un circuito eléctrico, la potencia aparente y reactiva están representadas por el triángulo de potencia mostrado en la figura 2.

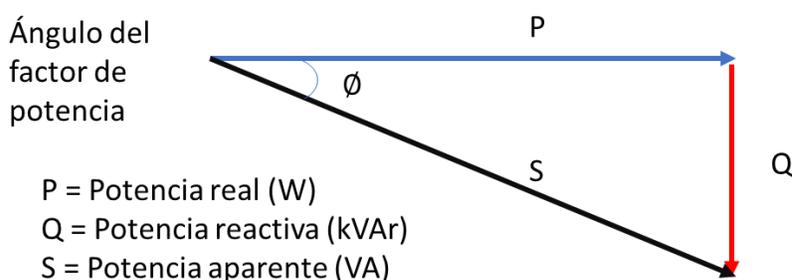


Figura 2. Triángulo de potencias.

Fuente: Autor

A partir de la figura 2 Las siguientes relaciones aplican:

$$S = \sqrt{P^2 + Q^2}, \quad (7)$$

$$P = S \cos \phi, \quad (8)$$

$$Q = S \sin \phi, \quad (9)$$

$$\frac{Q}{P} = \tan \phi, \quad (10)$$

donde S es la potencia aparente, P es la potencia activa, Q es la potencia reactiva, y ϕ es el ángulo del factor de potencia. En la figura 3, V es la tensión aplicada e I es la

corriente en el circuito. En un circuito inductivo, la corriente es retardada por el ángulo \emptyset , como se muestra en la figura, y \emptyset se denomina ángulo del factor de potencia.

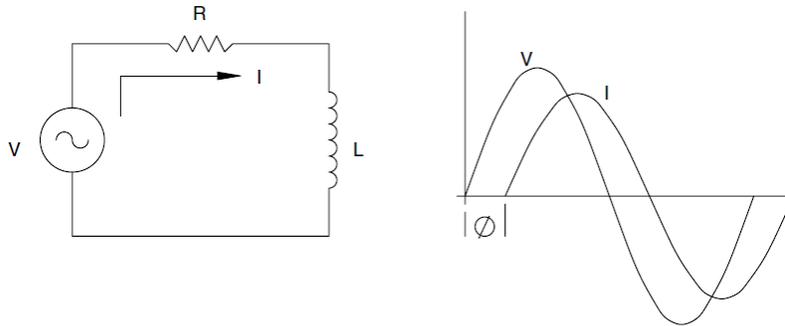


Figura 3. Tensión, corriente y ángulo del factor de potencia en un circuito resistivo / inductivo.

Fuente: (Sankaran, 2002)

Si X_L es la reactancia inductiva dada por

$$X_L = 2\pi fL, \quad (11)$$

entonces la impedancia total es dada por

$$Z = R + jX_L, \quad (12)$$

donde j es el operador imaginario complejo $\sqrt{-1}$.

El ángulo del factor de potencia se calcula a partir de la ecuación (13)

$$\tan \emptyset = \frac{X_L}{R}, \quad (13)$$

y despejando

$$\emptyset = \tan^{-1} \frac{X_L}{R}. \quad (14)$$

En el triángulo de potencia (figura 2) se puede observar que la potencia aparente S (línea negra) siempre será mayor o igual que cualquiera de las otras dos potencias involucradas en el triángulo. También se puede apreciar en la misma figura que el factor de potencia se expresa en términos generales como el desfase que existe de la corriente con respecto al voltaje y es utilizado como un indicador del correcto aprovechamiento de la energía eléctrica. Este puede variar de entre menos uno (-1) y uno (1), siendo en adelanto cuando el valor es negativo, y en atraso cuando el valor es positivo. Esto se traduce en que cuando la corriente está en atraso, es porque se

tienen cargas inductivas en el circuito, y cuando el sistema está en adelanto, hay cargas capacitivas en el mismo.

2.2 Corrección del factor de potencia

2.2.1 Balance de energía en un corrector de factor de potencia (PFC)

La Figura 4 muestra un diagrama de una unidad ac – dc de PFC. Son $v_l(t)$ y $i_l(t)$ la tensión y la corriente de la línea respectivamente. Para un circuito PFC ideal ($PF = 1$), se asume que

$$v_l(t) = V_{lm} \sin \omega_l t, \quad (15)$$

$$i_l(t) = I_{lm} \sin \omega_l t, \quad (16)$$

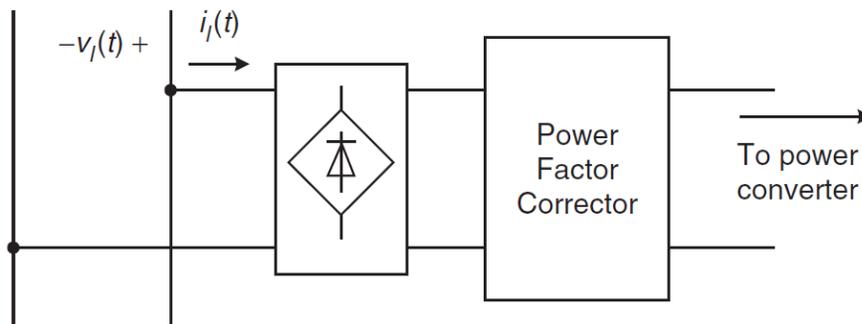


Figura 4. Diagrama de bloques de una unidad ac - dc de PFC.

Fuente (Issa & Huai, 2011).

donde, V_{lm} y I_{lm} son las amplitudes de la tensión y corriente de línea, respectivamente, y ω_l es la frecuencia angular de la línea. La potencia instantánea de entrada está dada por

$$p_{in}(t) = V_{lm} I_{lm} \sin^2 \omega_l t = P_{in} (1 - \cos(2\omega_l t)), \quad (17)$$

donde

$$P_{in} = \frac{1}{2} V_{lm} I_{lm} \quad (18)$$

es la potencia promedio de entrada.

Como se puede ver en la expresión (17), la potencia instantánea de entrada contiene no solo la componente de potencia real (potencia promedio) P_{in} , sino también una componente alternativa con frecuencia $2\omega_l$, mostrada en la figura 5. Por lo tanto, el principio de operación de un circuito PFC es procesar la potencia de entrada en cierta manera para que este almacene el exceso de energía de entrada (área I) cuando la $p_{in}(t)$ es mayor que la potencia de salida P_0 , y arroje la energía almacenada cuando $p_{in}(t)$ es menor que P_0 , para compensar (área II).

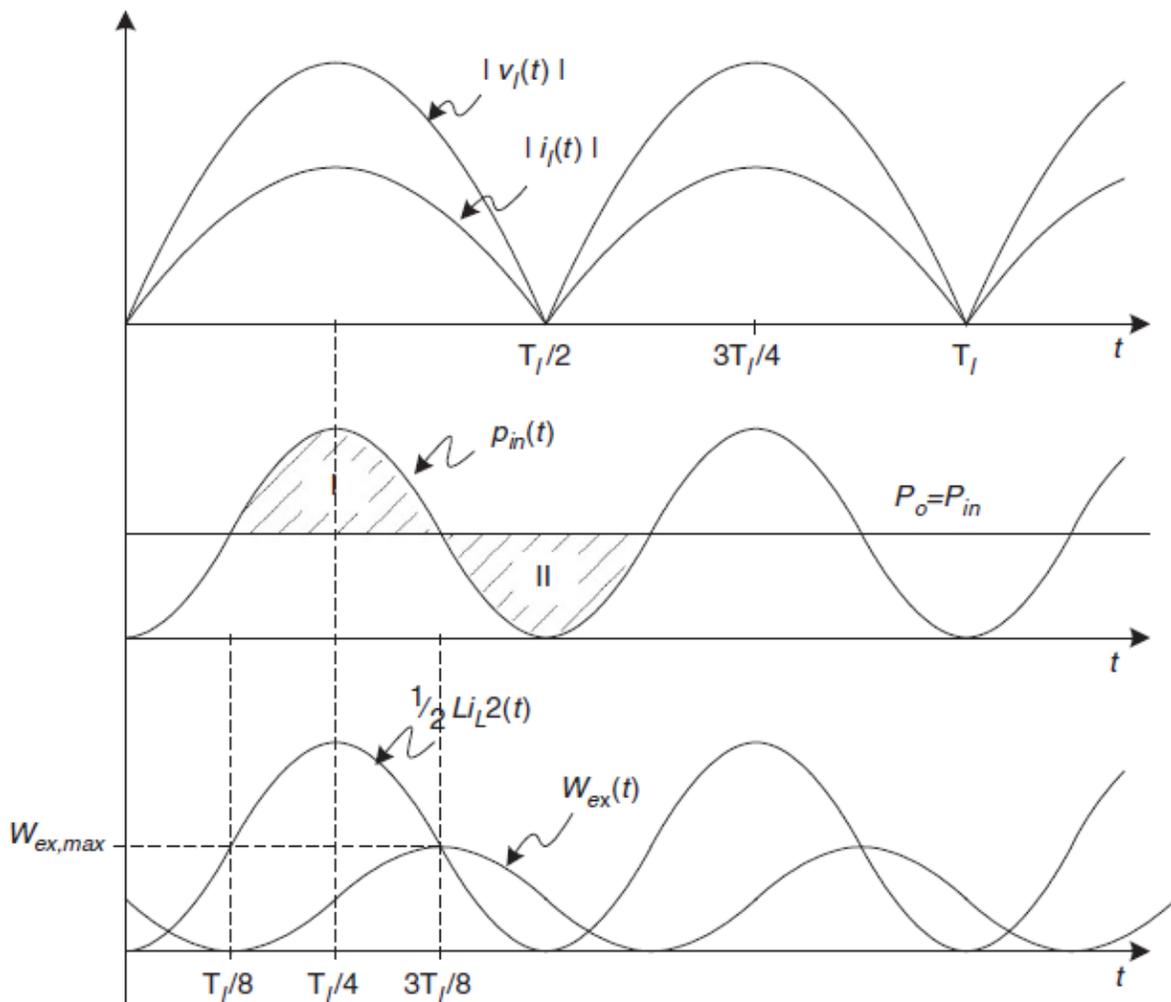


Figura 5. Balance de energía en un PFC.

Fuente: (Issa & Huai, 2011).

La energía instantánea de entrada en exceso está dada por

$$w_{ex}(t) = \frac{P_0}{2\omega_l} (1 - \cos 2\omega_l t). \quad (19)$$

En $t = 3T_l/8$, la energía de entrada en exceso alcanza el valor pico

$$w_{ex,max} = \frac{P_0}{\omega_l}. \quad (20)$$

La energía de entrada en exceso tiene que ser almacenada en los componentes dinámicos (inductor y capacitor) en el circuito PFC.

En la mayoría de los circuitos PFC, un inductor de entrada es usado para llevar la corriente de línea. Para el Factor de potencia FP unitario, la corriente del inductor (o la corriente promediada en el inductor de un circuito PFC con modo de conmutación) debe ser una senoidal pura y en fase con la tensión de línea. La energía almacenada en el inductor ($1/2Li_L^2(t)$) no puede emparejar completamente el cambio de energía excesiva como se muestra en la Figura 5. Por lo cual, para mantener la potencia de salida constante, otro componente de almacenamiento de energía (usualmente un capacitor) es requerido.

2.2.2 Corrector pasivo de FP

Por su alta fiabilidad y capacidad de manejo de alta potencia, los correctores pasivos de factor de potencia son normalmente utilizados en aplicaciones de línea de alta potencia. Un filtro armónico LC serie sintonizado es comúnmente usados por cargas de planta muy elevadas, tales como hornos de arco, laminadores metálicos, locomotoras eléctricas, etc. La figura 6 muestra un diagrama de conexión del filtro armónico junto con el compensador VAR estático reactivo de conmutación de frecuencia de línea. Ajustando las ramas del filtro a frecuencias armónicas impares, el filtro desvía las corrientes armónicas. Puesto que cada rama presenta capacitancia en la frecuencia de línea, el filtro también proporciona VAR capacitivo para el sistema. El reactor controlado por tiristores mantiene una compensación VAR optimizada para el sistema de modo que se pueda mantener un FP más alto.

El diseño del filtro sintonizado con corrector de FP es particularmente difícil debido a la incertidumbre de la impedancia del sistema y fuentes armónicas. Además, este método implica demasiados componentes costosos y ocupa un espacio enorme.

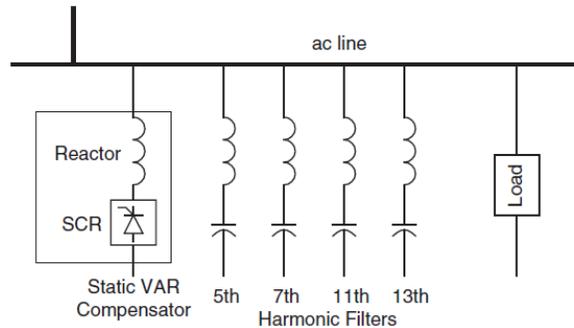


Figura 6. PFC, con filtro armónico LC serie sintonizado.

Fuente (Issa & Huai, 2011).

Para las aplicaciones donde el nivel de potencia es inferior a 10kW, el filtro sintonizado con corrector de FP puede no ser la mejor opción. El corrector de FP pasivo fuera de línea más común es el filtro de entrada inductiva, mostrado en la figura 7. Dependiendo de la inductancia del filtro, este circuito puede dar un máximo de 90% FP. Para el funcionamiento en modo de conducción continua (CCM), el FP se define como

$$FP = \frac{0.9}{\sqrt{1 + (0.075/K_1)^2}}, \quad (21)$$

donde

$$K_1 = \frac{\omega_l L}{\pi R}. \quad (22)$$

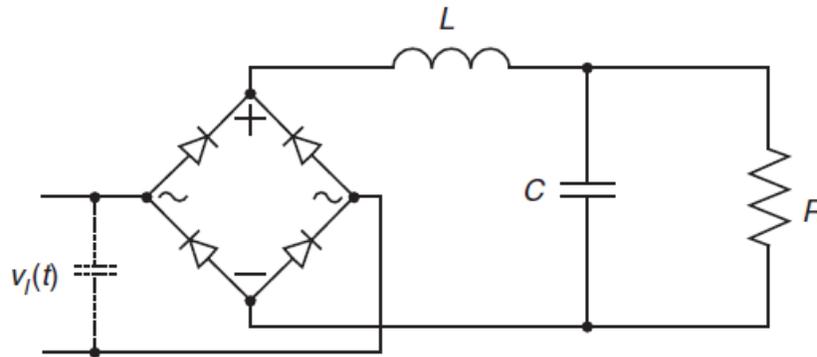


Figura 7. PFC de entrada inductiva.

Fuente (Issa & Huai, 2011).

El corrector de factor de potencia es simplemente un filtro inductivo pasa bajas, como se muestra en la figura 8, y su función de transferencia e impedancia de entrada están dadas en (23) y (24) respectivamente.

$$H(s) = \frac{1}{s^2LC + s\frac{L}{R} + 1} \quad (23)$$

$$Z_{in}(s) = R \frac{s^2LC + s\frac{L}{R} + 1}{sRC + 1} \quad (24)$$

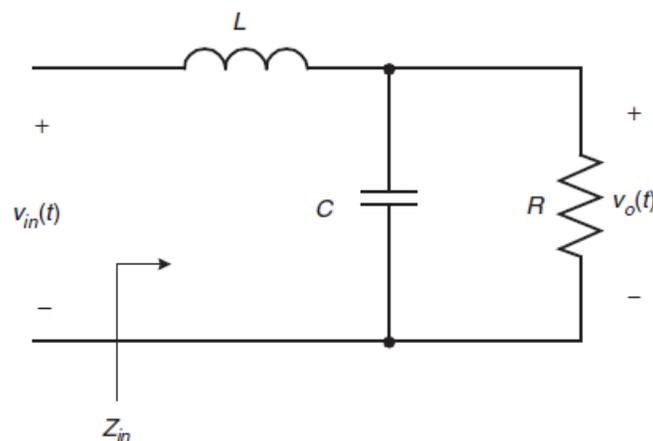


Figura 8. Filtro pasa bajas inductivo.

Fuente (Issa & Huai, 2011).

Las ecuaciones (23) y (24) muestran que el desplazamiento de fase es inevitable y se produce en el corrector de filtro inductivo. Debido a que la frecuencia de operación del filtro es baja (frecuencia de línea), un inductor y un condensador de gran valor tienen que ser usados. Como resultado, se presentan las siguientes desventajas en la mayoría de los correctores de FP pasivos:

- se puede conseguir menos del 0.9 de FP;
- la distorsión armónica (THD) es alta;
- son pesados y voluminosos;
- la salida no está regulada;
- la respuesta dinámica es deficiente;
- son sensibles a los parámetros del circuito;
- la optimización del diseño es difícil.

2.2.3 Topologías de circuito básicas de correctores activos de FP

En los años recientes, utilizando las topologías de modo de conmutación, muchos circuitos y métodos de control son desarrollados para cumplir con determinado estándar (tal como el IEEE std 519 y el IEC1000-3-2). Para lograr esto, las técnicas de conmutación de alta frecuencia han sido utilizadas para formar la señal de corriente de entrada satisfactoriamente. Técnicamente, los correctores de FP activos emplean las seis (6) topologías básicas de convertidor, o sus versiones variables para cumplir con el PFC.

2.2.3.1 El PFC Buck

La figura 9 (a) muestra el PFC Buck. Empleando la técnica de conmutación PWM, la topología del circuito puede ser modelada por el circuito equivalente mostrado en la figura 9 (b).

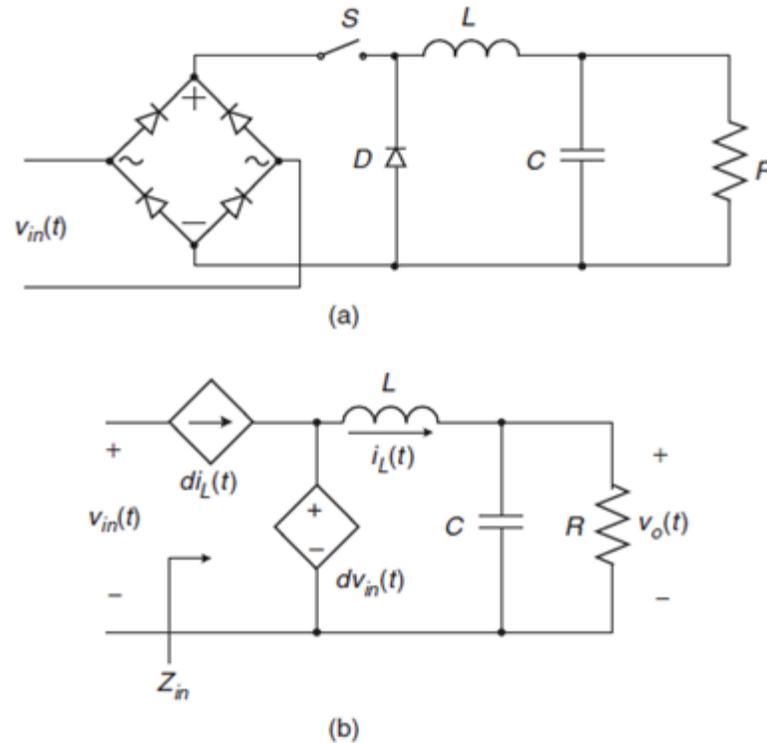


Figura 9. Corrector Buck

(a) Diagrama eléctrico y (b) Modelo de conmutación PWM. Fuente (Issa & Huai, 2011).

Cabe señalar que el modelo de circuito es un modelo de gran señal, por lo tanto, el análisis de rendimiento del FP basado en este modelo es válido. Se puede demostrar que la función de transferencia y la impedancia de entrada están dadas por

$$H(s) = \frac{d}{s^2 LC + s \frac{L}{R} + 1}, \quad (25)$$

$$Z_{in}(s) = \frac{R s^2 LC + s \frac{L}{R} + 1}{d^2 s RC + 1}, \quad (26)$$

donde d es la relación de trabajo de la señal conmutada.

Es de notar que las ecuaciones del corrector Buck, son diferentes a las del corrector tipo pasivo, y en (25) y (26) se ha introducido la variable de control d . Controlando adecuadamente la relación de conmutación para modular la impedancia de entrada y la función de transferencia, se puede acceder a una impedancia de entrada resistiva pura y una tensión de salida constante.

Comparando con el otro tipo de circuitos PFC de alta frecuencia, el corrector Buck ofrece una limitación de corriente transitoria máxima, protección de sobrecarga o cortocircuito y protección de sobretensión para el convertidor debido a la existencia del interruptor de alimentación delante de la línea. Otra ventaja es que el voltaje de salida es menor que el pico de la tensión de línea, que es normalmente el caso normalmente deseado. Los inconvenientes del uso de corrector Buck pueden resumirse a continuación:

- Cuando la tensión de salida es superior a la tensión de entrada, el convertidor no extrae corriente, lo que da lugar a una distorsión significativa de ella cerca del cero de la tensión de entrada;
- La corriente de entrada es discontinua, conduciendo a un modo EMI de alto valor diferencial;
- El estrés de corriente en el interruptor de potencia es alto;
- El interruptor de alimentación necesita una unidad flotante.

2.2.3.2 El PFC Boost

El PFC Boost y su modelo de circuito equivalente PWM son mostrados en la figura 10.

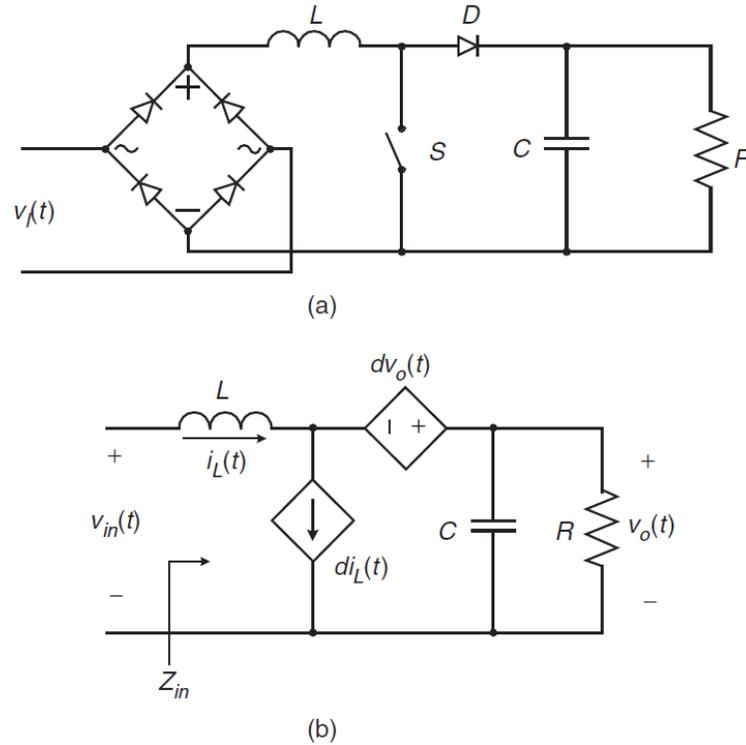


Figura 10. Corrector Boost

(a) Diagrama eléctrico y (b) modelo equivalente de PWM. Fuente (Issa & Huai, 2011).

La función de transferencia y la impedancia de entrada están dadas por

$$H(s) = \frac{1/d'}{s^2(L/d'^2)C + s\frac{(L/d'^2)}{R} + 1}, \quad (27)$$

$$Z_{in}(s) = d'^2 R \frac{s^2(L/d'^2)C + s\frac{(L/d'^2)}{R} + 1}{sRC + 1}, \quad (28)$$

donde

$$d' = 1 - d. \quad (29)$$

A diferencia de lo que ocurre en el caso del Buck, es interesante notar que en el caso del Boost, la inductancia equivalente es controlada por la relación de trabajo de conmutación. En consecuencia, tanto la magnitud como la fase de la impedancia y tanto la ganancia de dc como los polos de la función de transferencia son modulados por la relación de trabajo, lo que implica un control estricto de la corriente de entrada

y de la tensión de salida. Otras ventajas del corrector Boost incluyen menos EMI, menor corriente conmutación y conexión a tierra. Las deficiencias con el corrector Boost se resumen como:

- La tensión de salida debe ser mayor que el pico de la tensión de línea;
- No están disponibles las protecciones contra las sobretensiones, sobrecarga y limitación de corriente pico imprevista.

2.2.3.3 El PFC Buck–Boost

El corrector Buck-Boost y su circuito equivalente PWM son mostrados en la figura 11.

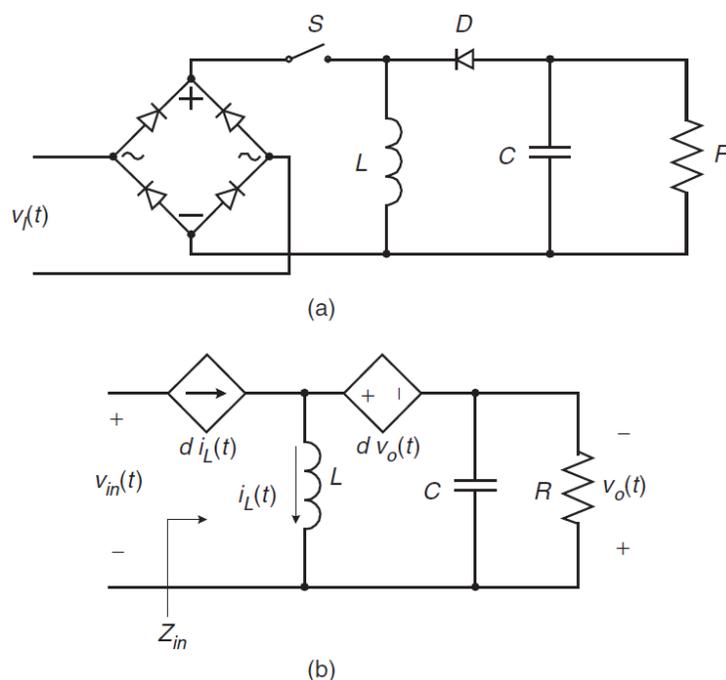


Figura 11. Corrector Buck-Boost

(a) Diagrama eléctrico y (b) Modelo equivalente de PWM. Fuente (Issa & Huai, 2011).

Las expresiones para la función de transferencia y la impedancia de entrada son

$$H(s) = \frac{d/d'}{s^2(L/d'^2)C + s \frac{(L/d'^2)}{R} + 1}, \quad (30)$$

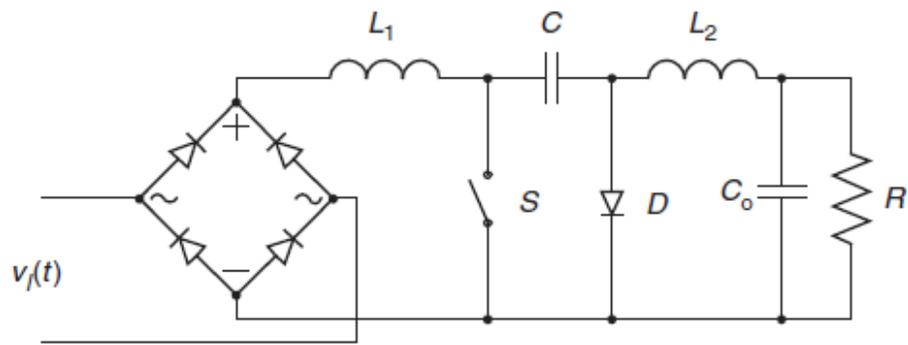
$$Z_{in}(s) = \left(\frac{d'^2}{d}\right)^2 R \frac{s^2(L/d'^2)C + s \frac{(L/d'^2)}{R} + 1}{sRC + 1}, \quad (31)$$

El corrector Buck-Boost combina algunas ventajas del corrector Buck y el corrector Boost. Al igual que un corrector Buck, puede proporcionar protecciones de circuito y tensión de salida de paso hacia abajo, y como un corrector de impulso, las formas de onda de entrada de corriente y tensión de salida pueden ser controlados firmemente. Sin embargo, el corrector Buck-Boost tiene los siguientes inconvenientes:

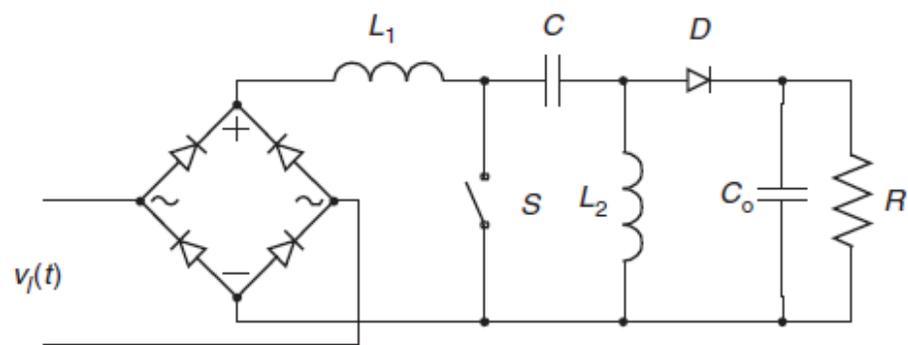
- La corriente de entrada es interrumpida por el interruptor de potencia, dando como resultado un modo EMI de alto diferencial;
- El estrés de corriente en el interruptor de potencia es alto;
- El interruptor de potencia necesita una unidad flotante;
- Se invierte la polaridad de la tensión de salida.

2.2.3.4 Los correctores Cuk, Sepic y Zeta.

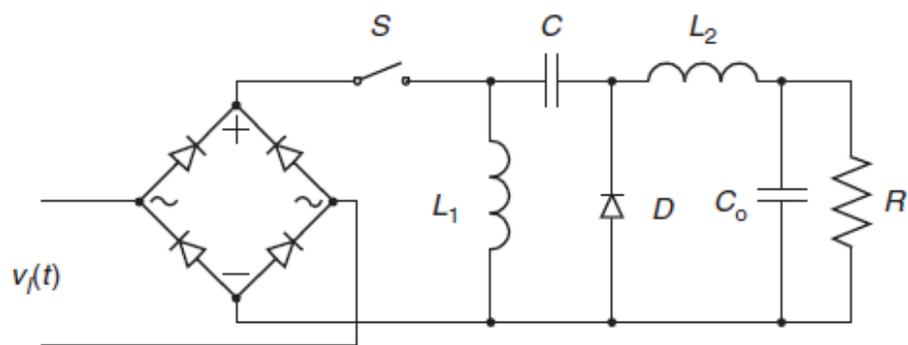
A diferencia de los convertidores anteriores, los convertidores Cuk, Sepic y Zeta son circuitos de conmutación de cuarto orden. Sus topologías de circuito para PFC se muestran en la figura 12 (a), (b), y (c), respectivamente. Debido a que hay cuatro componentes de almacenamiento de energía disponibles para manejar el balanceo de energía involucrado en PFC, las ondulaciones de la tensión de salida del segundo armónico de estos correctores son más pequeñas cuando se comparan con las topologías Buck, Boost y Buck-Boost de segundo orden. Estos correctores de FP también son capaces de proporcionar protección contra sobrecargas. Sin embargo, el aumento en el número de componentes y el estrés de corriente no son deseados (Issa & Huai, 2011).



(a)



(b)



(c)

Figura 12. Circuitos PFC de cuarto orden

(a) Corrector Cuk, (b) Corrector Sepic, y (c) Corrector Zeta. Fuente (Issa & Huai, 2011).

2.3 Corrección del FP con el inversor propuesto

Todas las anteriores configuraciones tienen en cuenta un puente rectificador no controlado, con solo un interruptor de conmutación, la entrada es tensión alterna y es unidireccional, lo cual no permite flujo de potencia en ambos sentidos por los diodos. Pero en (Flota, Ali, Villanueva, & Perez, 2016), se plantea un modelo el cual, se muestra en la figura 13, el cual se basa en una configuración de puente H de interruptores, y que tiene en cuenta la conexión de paneles fotovoltaicos como fuentes de corriente directa, condensador de estabilización de tensión, y salida en alterna, por medio de un filtro, para la interconexión a red. Cabe destacar que la carga se conecta en paralelo a la red, y lo que se requiere es mantener la corriente de red en fase todo el tiempo con el voltaje, es decir, el factor de potencia unitario.

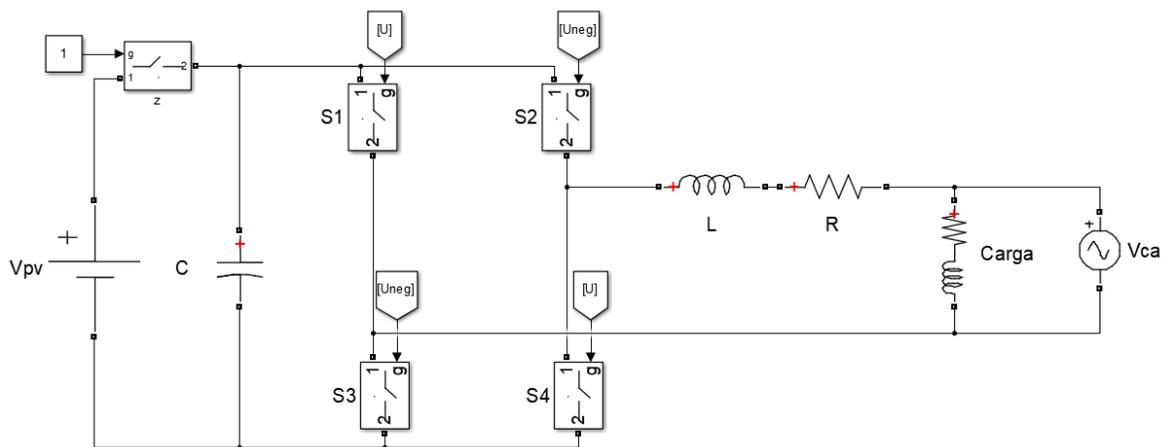


Figura 13. Esquema de modelo de inversor como filtro activo para rectificación de potencia.

Fuente: Autor.

El esquema de la figura 13 se modela matemáticamente, sin tener en cuenta la carga conectada a la red, de la siguiente forma:

$$L \frac{di_L}{dt} = [2u - 1][zV_{PV} + (1 - z)V_C] - i_L R - V_{CA} \quad (32)$$

$$C \frac{dV_C}{dt} = (1 - 2u)(1 - z)i_L \quad (33)$$

Donde L es la inductancia de la bobina, C es la capacitancia del condensador conectado a la entrada del inversor, R es la resistencia de la bobina, u es la señal de

control de los interruptores, donde $u = 1$, S1 y S4 cerrados, y S2 y S3 abiertos; $u = 0$, S1 y S4 abiertos, y S2 y S3 cerrados. z es la variable que compara la tensión del arreglo PV con el valor pico de la red, donde $z = 1$, la tensión en el arreglo PV mayor (definición de día), y $z = 0$, tensión en el arreglo PV menor (definición de noche). i_L es la corriente que sale del inversor hacia el punto de conexión, V_{PV} es la tensión de salida del arreglo PV, y V_c es el voltaje en el capacitor.

Con esta topología, se tienen dos objetivos de control:

- regular la corriente del inversor, para compensar el factor de potencia tanto de día como de noche,
- mantener la tensión del capacitor en un nivel adecuado, para garantizar la inyección de energía reactiva hacia la red, solo en la noche.

Se pretende realizar estos objetivos de control con un doble lazo, pero únicamente con la señal de control u .

2.4 Definición de pasividad

Los sistemas pasivos son una clase de sistemas dinámicos en los que la energía intercambiada con el medio ambiente juega un papel central. En sistemas pasivos, la velocidad a la que la energía entra en el sistema es mayor o igual que el aumento en el almacenamiento. En otras palabras, un sistema pasivo no puede almacenar más energía de la que se le suministra desde el exterior, siendo la diferencia la energía disipada.

La interpretación energética de la pasividad dada anteriormente está íntimamente relacionada con la física del sistema y en particular, con sus propiedades de estabilidad. Por ejemplo, viendo una interconexión de retroalimentación como un proceso de intercambio de energía, no es sorprendente saber que la pasividad es invariante bajo la interconexión de retroalimentación negativa. En otras palabras, la interconexión de retroalimentación de dos sistemas pasivos es todavía pasiva. Si el balance energético global es positivo en el sentido de que la energía generada por un subsistema es disipada por el otro, el circuito cerrado será además estable que como corolario inmediato se tiene que los sistemas pasivos son "fáciles de controlar". Por ejemplo, una ganancia simple, que puede hacerse grande, recuerda el grado relativo y las propiedades de fase mínima de los sistemas pasivos mencionados anteriormente. Esta propiedad junto con la caracterización limpia de los sistemas pasivos reportados explica el interés de la pasividad como el bloque básico para el control de sistemas no lineales.

Una propiedad final, pero no menos importante de la pasividad es que es una propiedad que es independiente de la noción de estado. Por lo tanto, la retroalimentación de estado (que es poco realista en la mayoría de las aplicaciones) no será un requisito previo para lograr los objetivos de control (Sira - Ramirez, Ortega, Loría, & Nicklasson, 1998).

Un ejemplo de un sistema pasivo es la red RLC que se muestra en la Figura 14, que es un arreglo RLC serie. Aquí, realizando el análisis de circuitos

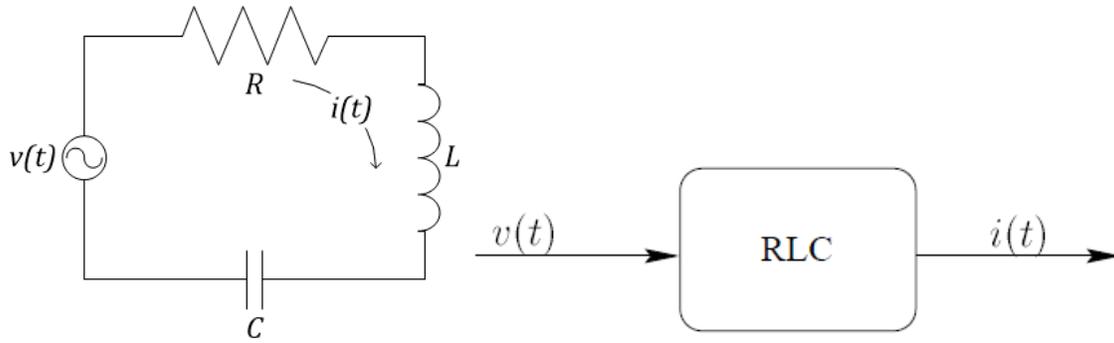


Figura 14. Configuración RLC serie para mostrar propiedad de pasividad.

Fuente: (Sira - Ramirez, Ortega, Loría, & Nicklasson, 1998).

se tiene la expresión

$$v = Ri + \frac{1}{C} \int_0^t i(\tau) d\tau + L \frac{di}{dt}, \quad (34)$$

y realizando un trabajo matemático, se obtiene

$$iv = Ri^2 + \frac{1}{C} i \int_0^t i(\tau) d\tau + Li \frac{di}{dt}, \quad (35)$$

$$\frac{d}{dt} \left(\frac{1}{2C} \left(\int_0^t i(\tau) d\tau \right)^2 + \frac{L}{2} i^2 \right) = iv - Ri^2, \quad (36)$$

donde

$$\frac{1}{2C} \left(\int_0^t i(\tau) d\tau \right)^2 = \eta, \quad (37)$$

$$\frac{L}{2} i^2 = \sigma, \quad (38)$$

que es la energía almacenada en el condensador y en el inductor, respectivamente.

La suma de esas componentes de energía es

$$H = \eta + \sigma. \quad (39)$$

Antes de ser pasivo, el sistema es disipativo, ya que la energía disponible es igual a la diferencia entre la energía suministrada y la energía disipada, la cual se muestra en la expresión

$$H(t) = H(0) + \int_0^t v(\tau) i(\tau) d\tau + \int_0^t Ri^2(\tau) d\tau. \quad (40)$$

En la ecuación (40), $H(t)$ es la energía disponible, $H(0)$ es la energía inicial, la primera integral es la energía suministrada, y la segunda, corresponde a la energía disipada. De esta manera, un sistema es pasivo si la energía suministrada es igual a la integral del producto entre la señal de entrada y la señal de salida. Por esta razón, un sistema pasivo es disipativo, mas no todo sistema disipativo es pasivo.

2.5 Estabilidad en el control por pasividad

El diseño del controlador por realimentación presentado en esta sección ajusta la forma de la señal de energía, más la inyección de amortiguación del control por pasividad.

Para este problema particular se debe poner atención en la energía potencial y las funciones de la disipación y proceder a lo largo de dos etapas básicas: Primero, una etapa de la formación de la energía donde se modifica la energía potencial del sistema de tal manera que la "nueva" función de energía potencial, tiene un mínimo global y único en el equilibrio deseado. Segundo, una etapa de inyección de amortiguación en la que ahora se cambia la función de disipación para asegurar la estabilidad asintótica. La asunción de la actuación completa permite asignar cualquier función de energía potencial arbitraria, mientras que la disponibilidad del estado completo trivializa la tarea de amortiguar la inyección. El controlador resultante de esta técnica es una simple ley PD (Sira - Ramirez, Ortega, Loría, & Nicklasson, 1998).

Se postula un modelo general de convertidores de potencia. Éstos se describen, en general, por un sistema de la forma

$$A\dot{x} = Jx - Rx + Bu + E, \quad (41)$$

donde A es una matriz diagonal definida positiva, J es una matriz antisimétrica sesgada para todo el u y es, además, una función afín de u de la forma $J_0 + J_1u$. Este término representa las fuerzas conservativas del sistema. La matriz R es una matriz simétrica semi-definida positiva que representa los términos de disipación del modelo de circuito. La constante B es, en términos generales, un vector constante y puede contener algunos componentes que dependen de las fuentes constantes externas. El término E

también representa fuentes externas de tensión constante. Se supone que el vector $x \in R^n$ está disponible para la medición.

La tarea de control consiste en seguir una trayectoria de estado de referencia dada, x^* que debe determinarse sobre la base del conocimiento de la estructura del sistema y de una tarea de seguimiento de trayectoria de salida especificada o tarea de estabilización.

Teniendo el error de seguimiento

$$e = (x - x^*), \quad (42)$$

se empieza con una función candidata de Lyapunov, que es de la forma

$$V(e) = \frac{1}{2} e^T A e = \frac{1}{2} (x - x^*)^T A (x - x^*). \quad (43)$$

La derivada temporal de tal función a lo largo de las trayectorias del sistema está dada por

$$\dot{V}(e) = (x - x^*)^T A (\dot{x} - \dot{x}^*), \quad (44)$$

$$\dot{V}(e) = (x - x^*)^T ([J - R]x + Bu + E - A\dot{x}^*), \quad (45)$$

y ajustando

$$A\dot{x}^* = Jx^* - Rx^* + Bu + E + R_I(x - x^*), \quad (46)$$

siendo R_I una matriz definida simétrica positiva o semi-definitiva positiva que satisface la condición: $R + R_I > 0$. La elección anterior de la dinámica de la trayectoria de referencia da como resultado que $e^T J e = 0$ para todos u . La siguiente es la evaluación de la derivada temporal de la función de Lyapunov $V(e)$,

$$\dot{V}(e) = e^T (J e - R e - R_I e) = -e^T (R + R_I) e < 0. \quad (47)$$

El error de seguimiento e tiene el origen como un punto de equilibrio asintóticamente estable. La estabilidad de dicho punto de equilibrio deseado para el error de seguimiento se puede determinar que sea incluso de naturaleza exponencial. De hecho, sean κ_A y $\kappa_{R + R_I}$, respectivamente, los valores propios más pequeños de las matrices simétricas definidas positivas A y $R + R_I$. Sea $\kappa = \min \{\kappa_A, \kappa_{R + R_I}\}$, entonces se tiene

$$\dot{V}(e) = -e^T(R + R_I)e \leq -kV(e). \quad (48)$$

El error de seguimiento e tiene entonces el origen como un punto de equilibrio asintótico y exponencialmente estable.

Obsérvese que la matriz simétrica R_I complementa las características de estabilidad de la matriz amortiguadora R originalmente en el sistema. Esto se debe a que la condición $R + R_I > 0$ es una clase de condición de disipación, y que la estructura de la matriz B es responsable de conseguir la amortiguación de una manera de realimentación, entonces el espacio de alcance de R_I y el espacio de alcance de B no son necesariamente independientes

$$A\dot{x}^* = Jx^* - Rx^* + Bu + E + R_I(x - x^*). \quad (49)$$

El sistema definido en la ecuación (49) juega el papel de un sistema controlado exógeno que imita la estructura energética del sistema y añade un término de amortiguación extra de la forma $R_I(x - x^*)$. Esta "inyección" de amortiguación complementa la disipación del sistema original en la dinámica del error de seguimiento. El sistema exógeno es un sistema controlado que juega el papel de un sistema de modelo de referencia con una estructura de disipación fundamentalmente mejorada. Definiendo una trayectoria de referencia deseada para un grado relativo a una variable de salida de fase mínima (estado) en el modelo de referencia, la entrada de control puede ser computada inmediatamente en forma de bucle cerrado mientras que el resto de los estados de referencia desempeñan el papel de la dinámica de las variables de referencia, diferentes de la salida de fase mínima elegida, que constituye el controlador de realimentación (Sira - Ramírez & Silva - Ortega, 2006).

2.6 Modelo del sistema propuesto por pasividad

Para el sistema descrito en la Figura 13, el modelo base por pasividad se define en la ecuación (50) como

$$A\dot{x} = Jx - \mathcal{R}x + Bu + E, \quad (50)$$

y los parámetros de modelo por pasividad en base a las ecuaciones (32) y (33) se definen desde (51) hasta (57)

$$x = \begin{bmatrix} i_L \\ V_c \end{bmatrix} \quad (51)$$

$$\dot{x} = \begin{bmatrix} \frac{di_L}{dt} \\ \frac{dV_c}{dt} \end{bmatrix} \quad (52)$$

$$A = \begin{bmatrix} L & 0 \\ 0 & C \end{bmatrix} \quad (53)$$

$$\mathcal{R} = \begin{bmatrix} R & 0 \\ 0 & 0 \end{bmatrix} \quad (54)$$

$$J = \begin{bmatrix} 0 & (2u-1)(1-z) \\ (1-2u)(1-z) & 0 \end{bmatrix} \quad (55)$$

$$E = \begin{bmatrix} (2u-1)zV_{PV} - V_{CA} \\ 0 \end{bmatrix} \quad (56)$$

$$B = \begin{bmatrix} 0 \\ 0 \end{bmatrix} \quad (57)$$

2.7 Estimación de la señal de control u

Haciendo una analogía con la ecuación (49), y teniendo en cuenta que

$$R_I = \begin{bmatrix} R_P & 0 \\ 0 & 0 \end{bmatrix}, \quad (58)$$

se obtienen las ecuaciones (59) y (60)

$$L \frac{di_L^*}{dt} = [2u - 1][zV_{PV} + (1 - z)V_x] - i_L^*R - V_{CA} + R_P(i_L - i_L^*), \quad (59)$$

$$C \frac{dV_x}{dt} = (1 - 2u)(1 - z)i_L^*, \quad (60)$$

las cuales modelan el sistema exógeno que modela la dinámica mejorada del modelo propuesto, donde i_L^* es la señal de referencia de corriente a la salida del inversor y R_P es el factor de inyección de amortiguamiento, el cual debe ser mayor a cero para garantizar la estabilidad del sistema. V_x es la variable auxiliar para el modelo, que simula la tensión del condensador. Despejando de (59), en conjunto con la ecuación (60), la señal de salida u que va a controlar el sistema, se obtiene

$$u = \frac{L \frac{di_L^*}{dt} + i_L^*R + V_{CA} - R_P(i_L - i_L^*)}{2(zV_{PV} + (1 - z)V_x)} + \frac{1}{2}. \quad (61)$$

2.8 Cálculo de la corriente de referencia i_L^*

Para calcular la corriente de referencia en el presente trabajo, como se menciona en (Flota, Ali, Villanueva, & Perez, 2016), se debe utilizar la transformación dq monofásica, que realiza un cambio de coordenadas a un marco de referencia giratorio síncrono, a la frecuencia de la red eléctrica. En (62) se presenta la mencionada transformación a una corriente, que para nuestro caso es la corriente de carga i ,

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} \sin(\omega t) & -\cos(\omega t) \\ \cos(\omega t) & \sin(\omega t) \end{bmatrix} \begin{bmatrix} i \\ i \angle 90^\circ \end{bmatrix}, \quad (62)$$

donde i_d representa las componentes en fase con la tensión de la red V_{CA} , i_q constituye las componentes en cuadratura con V_{CA} , $\sin(\omega t)$ es una señal de amplitud unitaria de la misma frecuencia y fase de la frecuencia fundamental de V_{CA} .

La corriente de referencia i_L^* debe contener una componente reactiva para la corrección del factor de potencia, ésta proviene de la señal i_q , también, debe contener información relacionada con la energía suministrada por el arreglo PV durante el día, esto se logra mediante un estimador de potencia que garantice un balance de las potencias de corriente directa y de corriente alterna, donde

$$P_{CD} = P_{CA}, \quad (63)$$

es equivalente a

$$V_{PV} I_{PV} = V_{CARMS} I_{EstRMS}, \quad (64)$$

donde

$$V_{CARMS} = \frac{V_{CApico}}{\sqrt{2}}, \quad (65)$$

y

$$I_{EstRMS} = \frac{I_{Estdia}}{\sqrt{2}}. \quad (66)$$

Reemplazando (65) y (66) en (64),

$$V_{PV} I_{PV} = \frac{V_{CApico} I_{Estdia}}{2}, \quad (67)$$

donde V_{PV} e I_{PV} es la tensión y la corriente suministrada por el arreglo PV respectivamente, V_{CApico} corresponde a la tensión pico de V_{CA} . Despejando $I_{Est\ dia}$ de (67), que corresponde a la corriente pico estimada en el día ($z = 1$), se obtiene

$$I_{Est\ dia} = \frac{2V_{PV}I_{PV}}{V_{CApico}}. \quad (68)$$

De noche ($z = 0$), se requiere una componente de potencia activa para mantener regulada la tensión del capacitor, esta se obtiene por medio del lazo de tensión en (69)

$$I_{Est\ noche} = K_P e_V + K_I \eta, \quad (69)$$

donde K_P y K_I son las constantes del controlador PI para la tensión del capacitor,

$$e_V = V_C - V_C^* \quad (70)$$

es el error entre la tensión del capacitor V_C y la referencia de tensión deseada V_C^* y

$$\eta = \int e_V dt, \quad (71)$$

donde η es la integral del error (71).

Ahora, para calcular la corriente de referencia, se requiere pasar del marco de referencia dq al marco de tiempo. Para ello, se realiza la transformada inversa dq , la cual se detalla en (72)

$$\begin{bmatrix} i_L^* \\ i_L^* \angle 90^\circ \end{bmatrix} = \begin{bmatrix} \sin(\omega t) & \cos(\omega t) \\ -\cos(\omega t) & \sin(\omega t) \end{bmatrix} \begin{bmatrix} i_d^* \\ i_q^* \end{bmatrix} \quad (72)$$

Tomando la expresión para i_L^* de (72), se tiene que

$$i_d^* = (I_{Est\ dia})z + (I_{Est\ noche})(1 - z), \quad (73)$$

y de (62) se obtiene

$$i_q = i^* \cos(\omega t) + i \angle 90^\circ * \sin(\omega t). \quad (74)$$

Finalmente, la corriente de referencia i_L^* está dada en (75).

$$i_L^* = i_d^* \sin(\omega t) + i_q \cos(\omega t). \quad (75)$$

El esquema general por bloques del sistema se muestra en la figura 15, donde se puede visualizar las diferentes etapas del sistema.

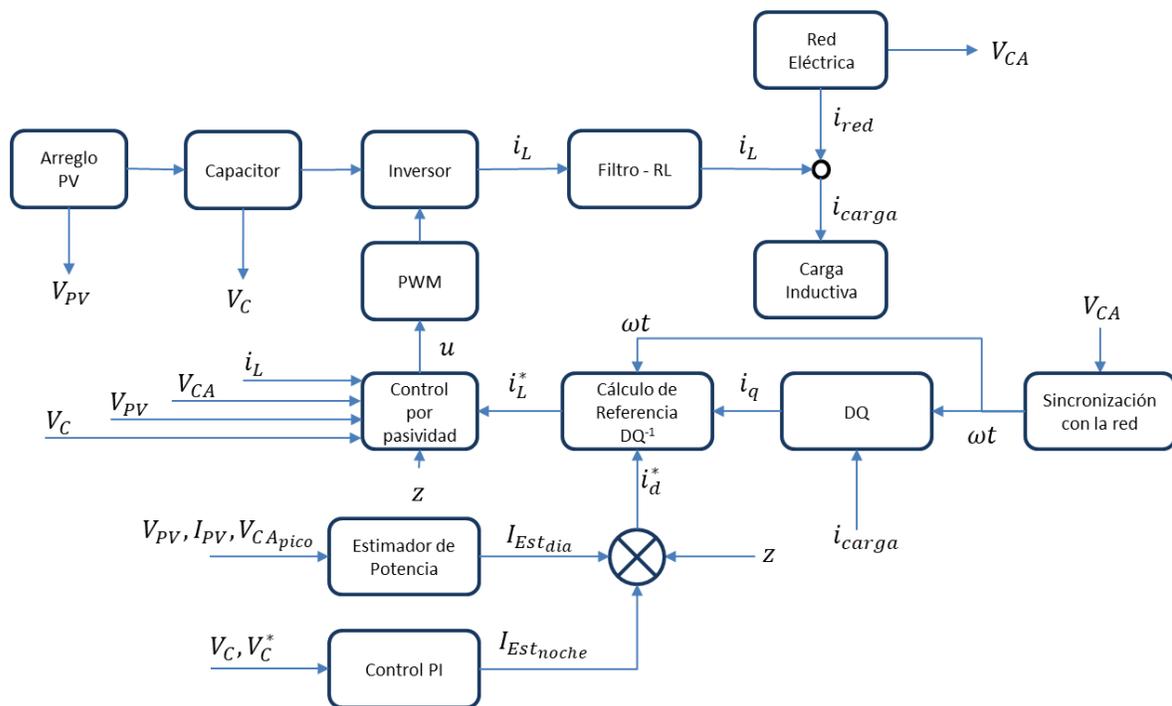


Figura 15. Diagrama de bloques del sistema a implementar.

Fuente: Autor

III. Metodología

1. Realizar el **acondicionamiento y operación** de los siguientes circuitos y dispositivos:
 - a. Circuito de potencia (inversor)
 - b. Circuito de acople entre potencia y control (drivers)
 - c. Diseño y construcción del circuito de medición y adecuación de señales de voltaje y corriente de entrada y de salida (instrumentación)
 - d. Uso del simulador fotovoltaico (arreglo PV)
 - e. Uso de un autotransformador de nivel de V_{CA} variable
 - f. Descripción de la carga.
2. **Discretización**, para convertir todas las ecuaciones del modelo y de control del tiempo continuo a tiempo discreto, debido a que los sistemas digitales no se pueden implementar en tiempo continuo.
3. **Simulación**, para determinar los parámetros físicos del sistema en base a las limitaciones de capacidad de equipos y dispositivos.
4. **Programación de la tarjeta de control** de acuerdo con lo realizado en simulación:
 - a. Temporizador
 - b. Convertidor analógico a digital (ADC)
 - c. Modulación por ancho de pulso (PWM)
 - d. Convertidores de digital a analógico (DAC)
 - e. Registros de control.
 - f. Diagrama de flujo de rutina de control.
5. **Conexión del sistema** considerando la figura 13, los sensores de medición de variables y el osciloscopio para visualización.
6. Ejecutar la **secuencia de conexión y energizado** del inversor a la red, para evitar picos de corriente indeseados.

3.1 Acondicionamiento y operación

3.1.1 Módulo de potencia



Figura 16. Módulo de potencia IPES-2K5-4510.

Fuente: (Escobar, Peña Quintal, & López Sánchez, 2016).

En la figura 16 se muestra el módulo de potencia a utilizar, cuya descripción se muestra en (Escobar, Peña Quintal, & López Sánchez, 2016). Cabe mencionar que este ya incluye el circuito de acople entre control y potencia (drivers), por ello se requiere alimentación propia. Sus parámetros de funcionamiento se mencionan en la tabla 1.

Tabla 1. Especificaciones del módulo de potencia IPES-2K5-4510.

Fuente: (Escobar, Peña Quintal, & López Sánchez, 2016).

Referencia:	IPES-2K5-4510
Tipo de Interruptores:	IGBT
Tensión máxima de Bus de DC [V]:	630
Corriente máxima de salida [A]:	20
Potencia máxima total [kW]:	2
Tensión de las señales de disparo [V]:	3 - 15
Alimentación auxiliar (incluida):	5 V – 3 A
Ton [ns]:	280
Toff [ns]:	300

3.1.2 Tarjeta de medición y adecuación de señal

La tarjeta de procesamiento, específicamente la PSOC, admite entradas de señal analógica en los rangos de 0 a 3.3 V, o 0 y 5 V, por lo tanto, surge la necesidad de obtener un escalamiento adecuado para el tratamiento de dichas señales. Para tal efecto se diseñó una tarjeta, bajo las especificaciones de la tabla 2.

Tabla 2. Especificaciones de la Tarjeta de Adquisición.

	Entrada	Tipo	Salida
Tensión [V]	200	Vp AC	0 - 3,3 VDC Offset: 1,65 Vdc 0 - 5 Vdc Offset: 2,5 Vdc
	40	V DC	0 - 3,3 VDC Offset: 1,65 Vdc 0 - 5 Vdc Offset: 2,5 Vdc
Corriente [A]	5	Ap AC	0 - 3,3 VDC Offset: 1,65 Vdc 0 - 5 Vdc Offset: 2,5 Vdc
	5	A DC	0 - 3,3 VDC Offset: 1,65 Vdc 0 - 5 Vdc Offset: 2,5 Vdc

Se realiza el diseño y simulación para verificar que el escalamiento se realiza adecuadamente, por lo tanto, se construyen los circuitos, como se muestra en la figura 17 y la figura 18, que son la adecuación de señal del sensor de corriente, el cual es el ACS712-05B.

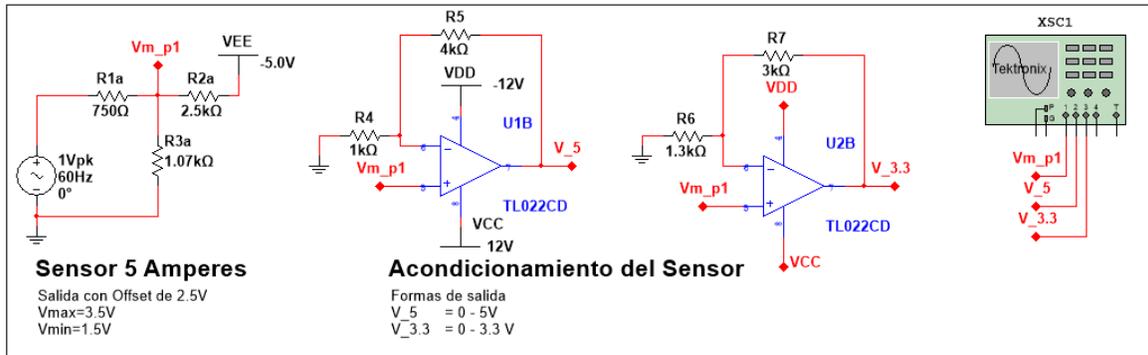


Figura 17. Adecuación de corriente alterna.

Fuente: autor.

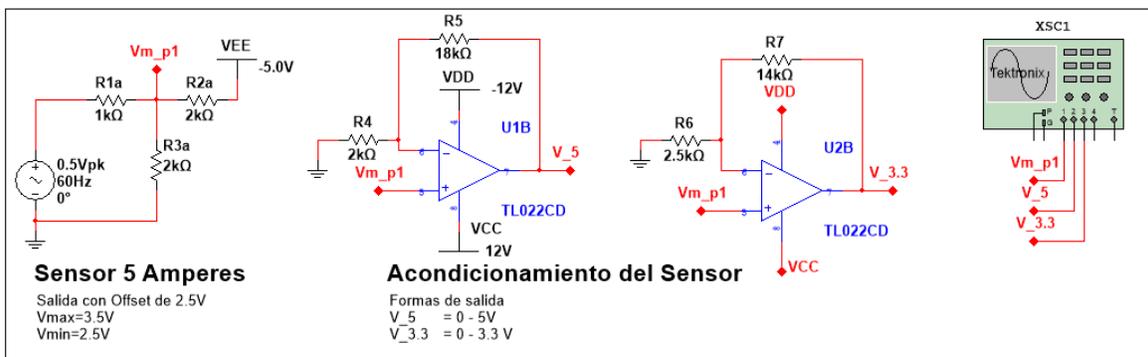


Figura 18. Adecuación de señal de corriente directa y alterna.

Fuente: autor.

Las figuras figura 19, figura 20 y figura 21, son la adecuación de señal para el sensor de voltaje, el cual es el AMC 1100. En la figura 19 se aprecia que, por medio de jumpers, se selecciona el nivel de tensión a medir, seleccionando el divisor adecuado.

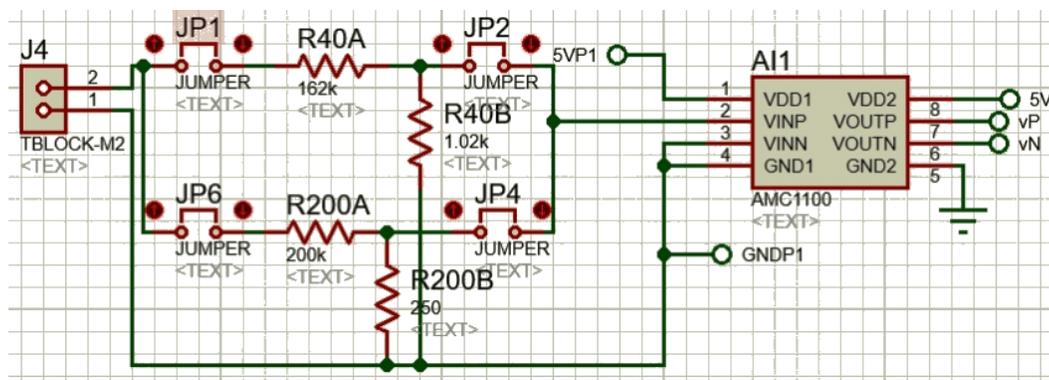


Figura 19. Divisor de tensión y conexión al sensor AMC 1100.

Fuente: Autor

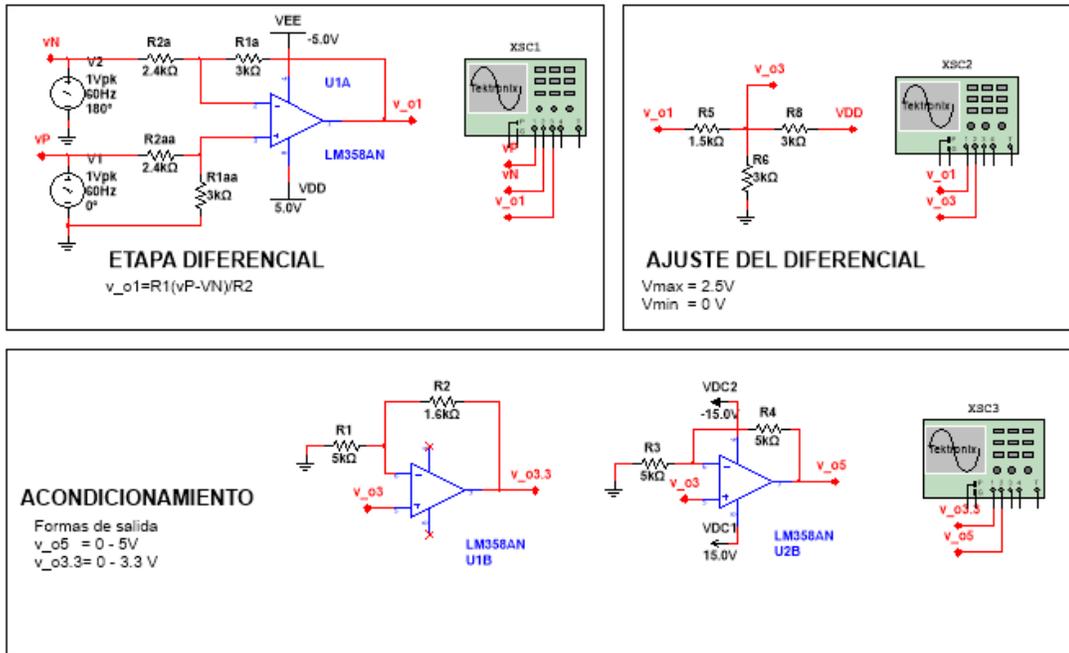


Figura 20. Adecuación de tensión en tensión alterna.

Fuente: autor.

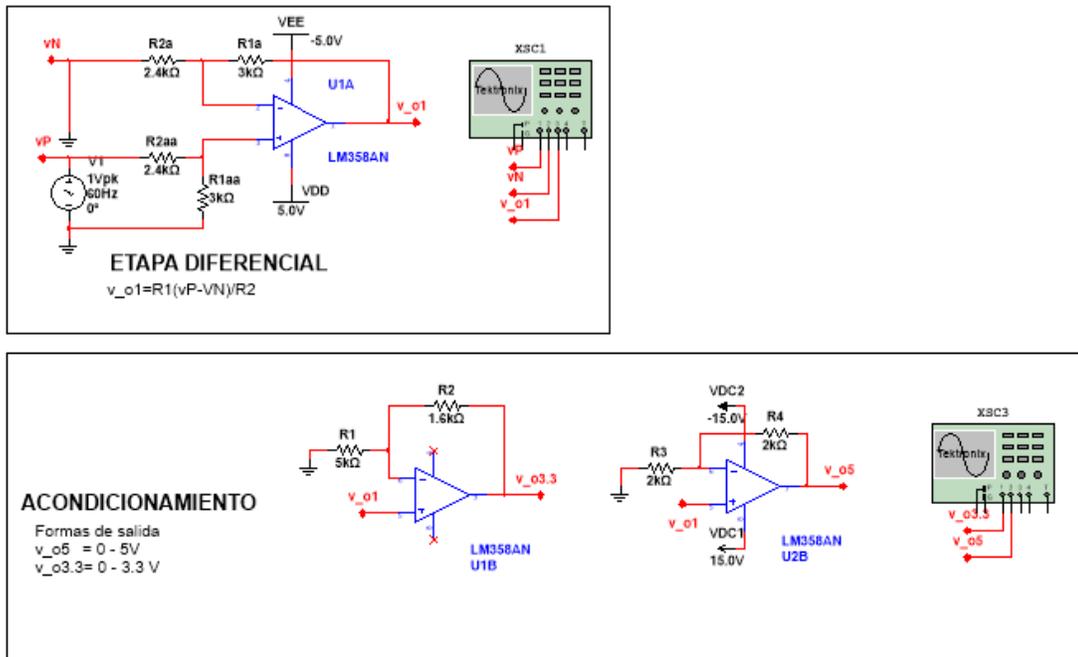


Figura 21. Adecuación de tensión en directa.

Fuente: autor.

El listado de materiales completo se presenta en la tabla 3. La tarjeta se muestra en la figura 22.

Tabla 3. Listado de componentes por tarjeta.

Cantidad por módulo	Descripción
3	5 k Ω 0,5 W \pm 0.1%
1	1,02 k Ω 0,25 W \pm 0.1%
2	1 k Ω 0,25 W \pm 1%
3	2 k Ω 0,25 W \pm 1%
1	14 k Ω 0,4 W \pm 1%
1	162 k Ω 0,5 W \pm 1%
1	250 ohm 0,25 W \pm 1%
1	1,5 k Ω 0,25 W \pm 1%
1	1,6 k Ω 0,25 W \pm 1%
1	18 k Ω 0,25 W \pm 1%
2	2,4 k Ω 0,25 W \pm 1%
1	750 ohm 0,25 W \pm 1%
5	3 k Ω 0,5 W \pm 1%
2	2,5 k Ω 0,125 W \pm 0.1%
1	4 k Ω 0,125 W \pm 0.1%
1	1,07 k Ω 0,125 W \pm 1%
1	1,3 k Ω 0,4 W \pm 1%
2	100 k Ω 1 W \pm 5%
1	AMC1100 Amplificador aislado. 250 mVp de entrada, ganancia 8, Alimentación de 5 Vdc
1	ACS712-05B Sensor de corriente 5 A
1	Convertidor CD/CD de Montaje en Tarjeta, Aislamiento de 1kV, Fixed, 1 Salida, 4.5 V, 5.5 V, 1 W IE0505S
2	Convertidor CD/CD Aislado de Montaje en Tarjeta, Through Hole, 1W, 12V, 41.6mA, -12V, 41.6mA ITA1212S
8	Jumper (Bus bar), Shunt, Derivación, Cabezales de pin, 2 Posiciones, 2.54 mm, Serie 969
3	Base para CI & Componente, DIP Socket, 8 Contactos, 2.54 mm, 7.62 mm
2	Amplificador Operacional, Doble, 2 Amplificadores, 3 MHz, 13 V/ μ s, 7V to 36V, DIP, 8 Pines TL082CP
2	Bloque de Terminal de Cable-A-Tarjeta, Eurostyle, 5 mm, 2 Posiciones, 26 AWG, 12 AWG, Tornillo
6	Capacitor Cerámico, 0.1 μ F, 50 V
1	Regulador de voltaje 5V DC LM7805
1	Capacitor cerámico 2,2 uF 50 V
1	Conector cable a tarjeta 3 posiciones
1	barra de terminal doble 2*24
1	PCB doble capa en cobre sin agujeros de 10 x 10 cm

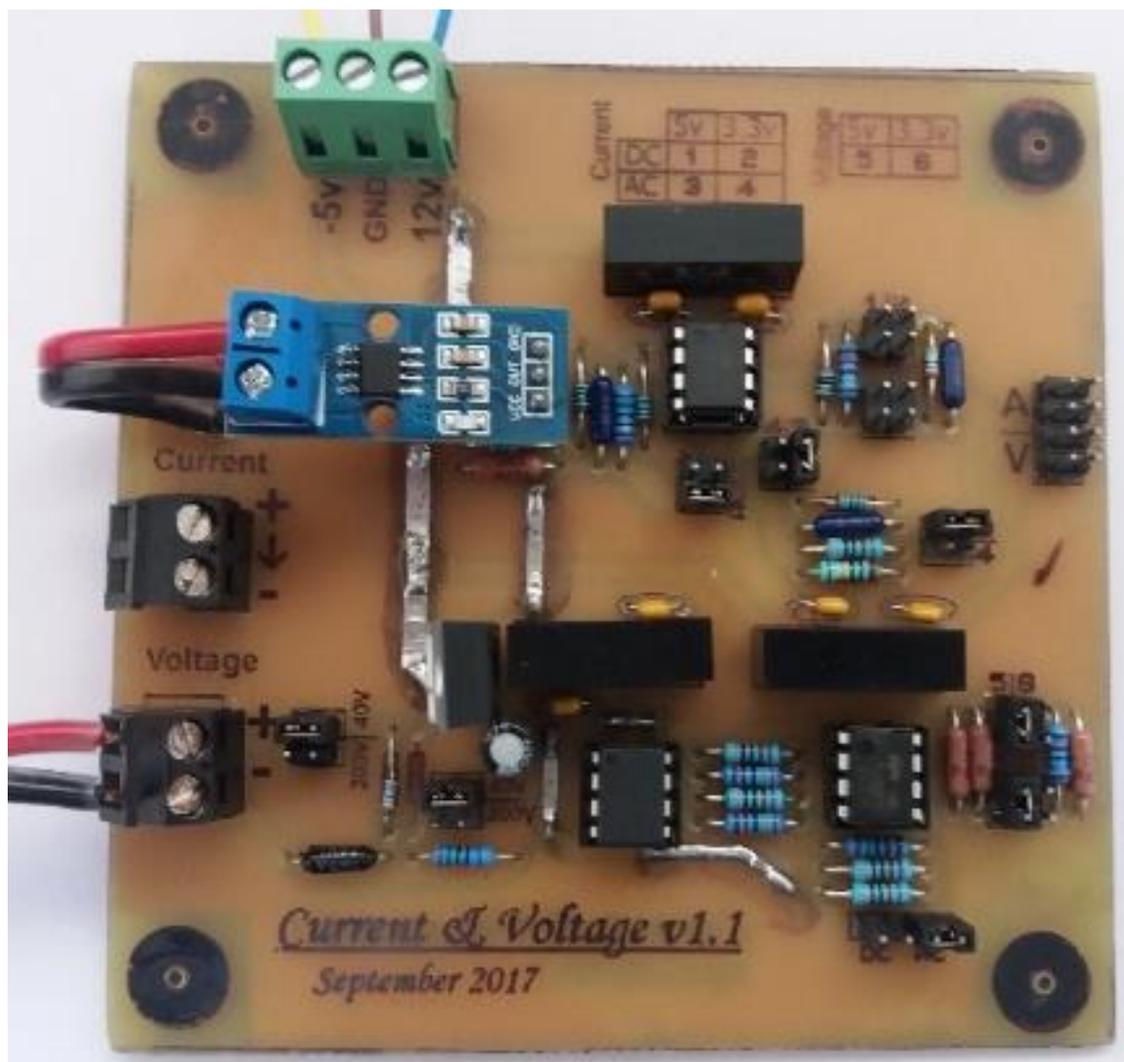


Figura 22. Tarjeta de adquisición de señales.

Fuente: autor.

Realizando las pruebas para cada una de las opciones, tenemos los resultados mostrados desde la figura 23 a la figura 26. Los trazos amarillos corresponden a la entrada, y los trazos azules corresponden a la salida de tensión escalada.

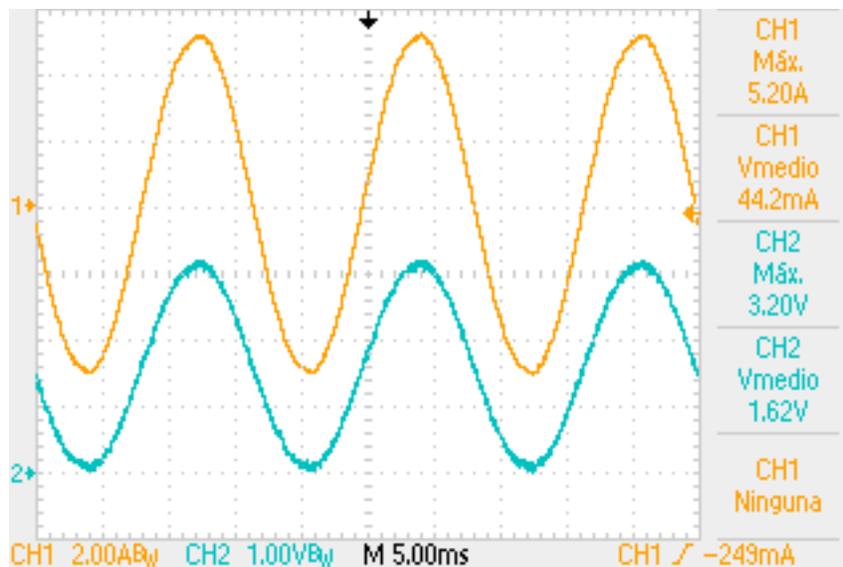


Figura 23. Prueba de Corriente en AC, con salida a 3.3 V.

Fuente: autor.

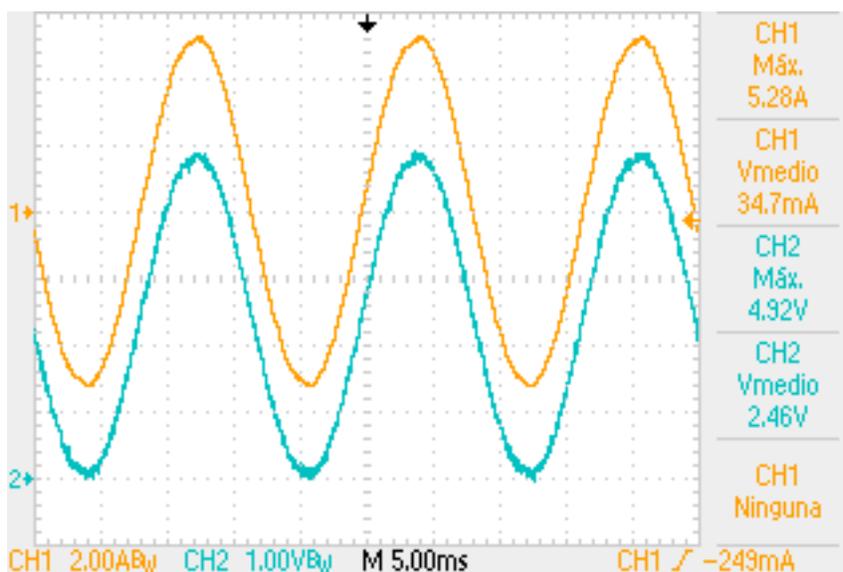


Figura 24. Prueba de Corriente en AC, con salida a 5 V.

Fuente: autor.

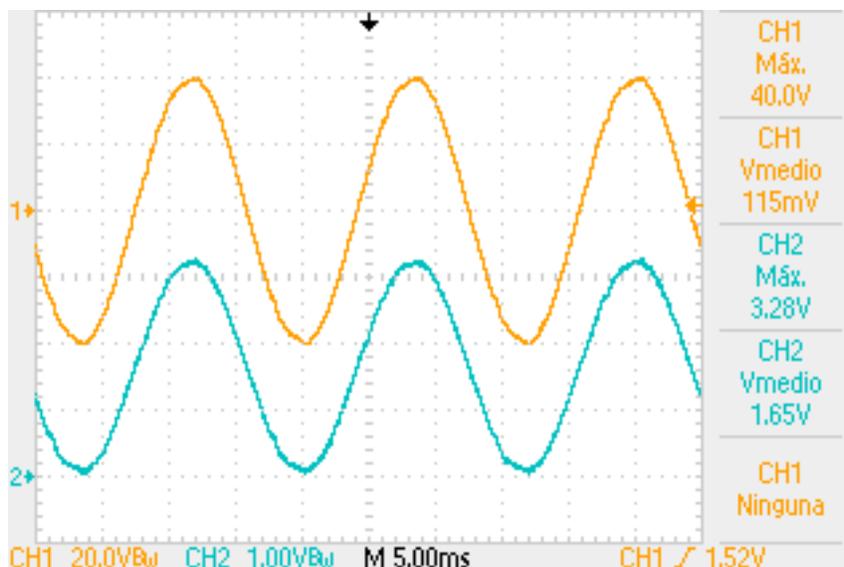


Figura 25. Prueba de Voltaje en AC, con salida a 3.3 V.

Fuente: autor.

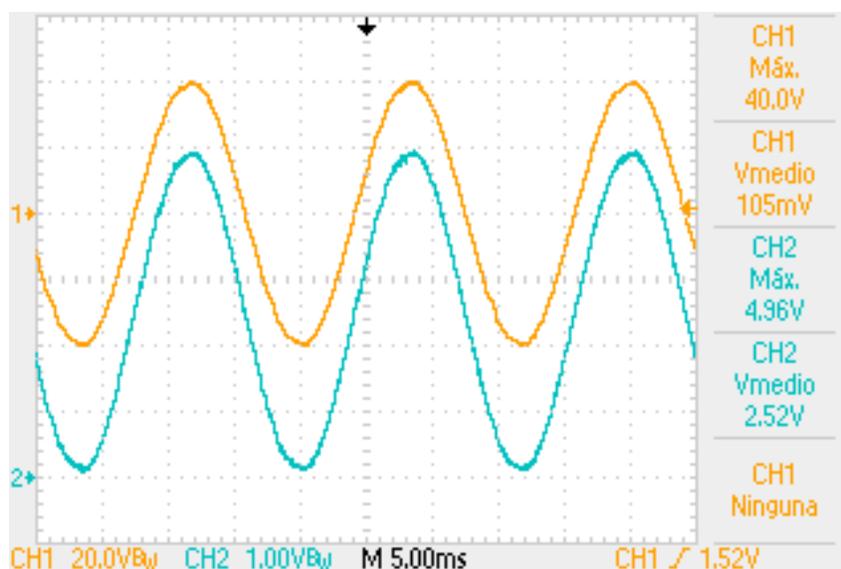


Figura 26. Prueba de Voltaje en AC, con salida a 5 V.

Fuente: autor.

Con los resultados obtenidos desde la figura 23 a la figura 26, se observa el correcto funcionamiento de las tarjetas, no se observan distorsiones ni desfases en la forma de onda, y la amplitud está dentro de los rangos especificados para todos los casos de la tabla 2.

3.1.3 Simulador fotovoltaico (Arreglo PV)

Este dispositivo cuenta con una salida de tensión continua con un amplio rango de trabajo, desde 0 hasta 600 V, con corriente de salida desde 0 a 8.5 A, equivalente a una potencia máxima de 5 kW, y lo hace adecuado para simular un arreglo de paneles fotovoltaicos. Adicionalmente se puede programar curvas IV y operación con MPPT, bajo condiciones climáticas variables. Para este trabajo, no se requieren de las funciones especiales, solo que la salida de tensión y corriente este regulada y limitada, para protección tanto del personal como del mismo equipo. En (CHROMA ATE INC., 2017), se pueden ver las características de este equipo, y en la figura 27 se aprecia el equipo disponible en el laboratorio. Se debe tener presente que este equipo requiere tensión de alimentación trifásica, y la salida de tensión debe estar correctamente conectada y aislada, por el nivel de tensión elevado que se alcanza.



Figura 27. Fuente programable (simulador fotovoltaico).

Fuente: Autor.

3.1.4 Autotransformador

Este equipo se requiere para realizar pruebas con tensión reducida inicialmente, y para aumentar poco a poco el nivel de tensión cuando se esté energizando todo el circuito. En la figura 28 se observa a la izquierda, la perilla de variación del 0 a 100%, y a la derecha, las especificaciones, que corresponden a una entrada de 120 Vrms, y su salida de 0 a 140 Vrms, con una corriente máxima de 10 Arms. Cabe anotar que, al ser autotransformador, no está aislado eléctricamente de la red en su salida, por lo tanto, se debe de tener precauciones al momento de conectar y energizar.



Figura 28. Autotransformador de salida de tensión variable.

Fuente: Autor.

3.1.5 Descripción de la Carga

3.1.5.1 Carga de tensión reducida

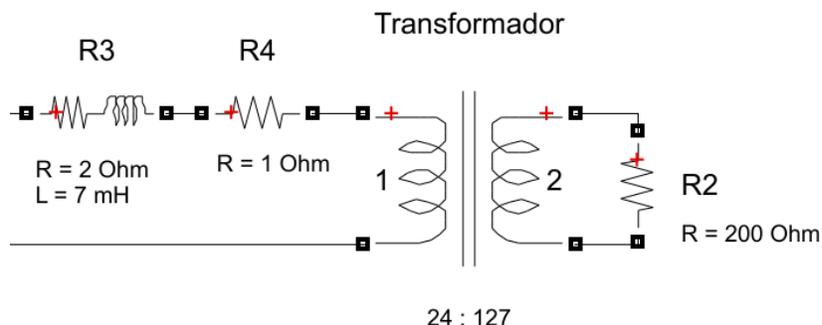


Figura 29. Carga utilizada para la prueba de tensión reducida.

Fuente: Autor.

El circuito mostrado en la figura 29 corresponde a la utilizada en simulación para verificar su desfase de corriente en tensión reducida. Se seleccionó esta configuración por la disponibilidad de material para armar dicho circuito, y, seguidamente, por pruebas realizadas con solo la carga, donde esta presenta un comportamiento deseable entre tensión y corriente (figura 30), cuyo desfase entre ellos es de aproximadamente 21° en atraso. Se aclara que la tensión de red (amarilla) se mide desde antes del transformador reductor, por ello su amplitud se aproxima a 180 V_p , pero en realidad son 21.21 V_p , es decir, entre la tensión de red nominal y la tensión reducida no hay desfase apreciable.

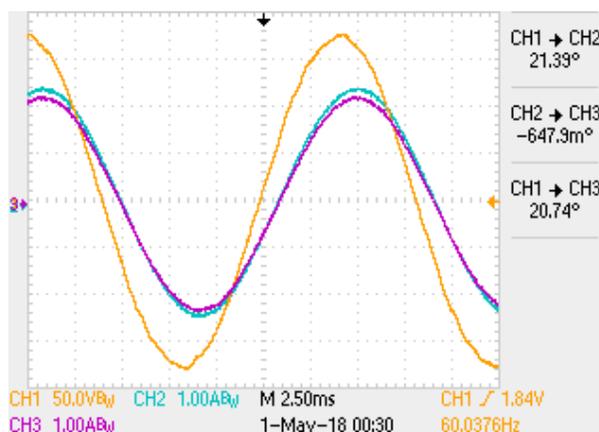


Figura 30. Desfase entre i_{carga} (azul – violeta) y V_{AC} (amarilla).

Fuente: Autor.

3.1.5.2 Carga de tensión nominal

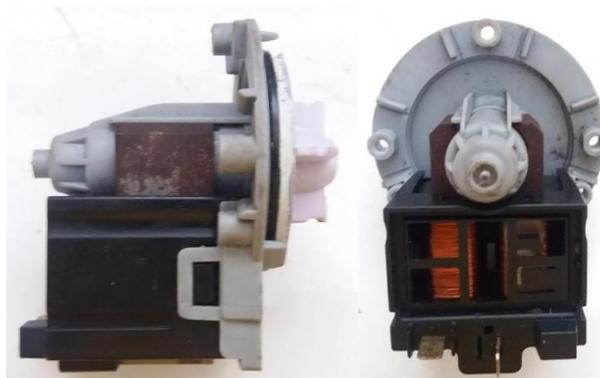


Figura 31. Motor de desagüe de lavadora doméstica.

Carga a tensión nominal de red. Fuente: Autor.

En la figura 31 se muestra un pequeño motor, extraído de una lavadora doméstica, el cual se encarga de sacar el agua residual, y enviarla al desagüe. Su operación es con tensión nominal de red (180 Vp), pero, como no se cuenta con placa de datos, se procede a caracterizarlo, como se ve en la figura 32, donde claramente se el valor de corriente de consumo (azul), cercano a 1 Ap, y su respectivo desfase, el cual es bastante considerable, ya que es aproximadamente 80° , o un FP de 0.2 en atraso, con respecto a V_{AC} .

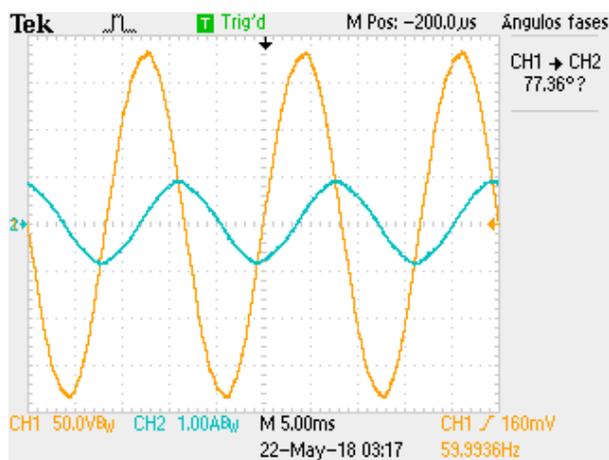


Figura 32. Comportamiento de i_{carga} (azul) de motor de lavadora, respecto a V_{AC} (amarilla).

Fuente: Autor.

3.2 Digitalización del Control

Como todas las expresiones relacionadas con el control por pasividad están expresadas en ecuaciones diferenciales, en tiempo continuo, se deben pasar a ecuaciones en diferencias (discretizar), para poder realizar la rutina de programación en la tarjeta PSOC.

Para este trabajo, se seleccionó una frecuencia de muestreo equivalente a tener un índice de modulación m_f de 200 muestras por ciclo de tensión de red. Esta selección se realiza, para que entre muestra y muestra, solo hayan 1.8° sexagesimales, en los cuales se va a mantener los valores obtenidos por el muestreo, y de esa manera reducir el error asociado a la discretización del sistema. Dicho lo anterior, la frecuencia de muestreo f_m es

$$f_m = f * m_f = 60 * 200 = 12000 \text{ Hz}, \quad (76)$$

donde f es la frecuencia fundamental de la tensión de la red eléctrica. Su período de muestreo equivalente es

$$T_m = \frac{1}{12000} = 83,33 \mu\text{s}. \quad (77)$$

Se aclara que el método de discretización tenido en cuenta en este trabajo, se basa en la literatura encontrada en (Ogata, 1996) y (Buso & Mattavelli, 2006), utilizando el método "Backward Euler" en el cual

$$s = \frac{z - 1}{z * T_m}, \quad (78)$$

donde s es el operador de Laplace de sistemas continuos, y z es el operador de la transformada z de sistemas discretos. Esto se utiliza bajo la condición de que

$$\frac{f_m}{f} = m_f > 20, \quad (79)$$

para tener un límite de distorsión máximo del 3%. Por lo tanto, no se hace énfasis en demostrar cada expresión, sino la resultante utilizada. Más adelante se explica cómo se introducen estas expresiones en la programación de la tarjeta de control.

La variable k corresponde al número de muestra de ciclo que se está manejando y va desde cero (0) hasta ciento noventa y nueve (199).

De (62), la expresión equivalente para i_q en tiempo discreto es

$$i_q(k) = i(k) \cos(\omega k T_m) + i(k - 50) \sin(\omega k T_m), \quad (80)$$

en la cual, $\omega = 2\pi f$, $i(k)$ corresponde a la muestra actual de corriente de carga, y $i(k - 50)$ es el equivalente a la señal de corriente de carga retrasada 90° , en este caso, son 50 muestras, ya que es una señal cíclica.

Teniendo en cuenta la estimación de potencia durante el día en la ecuación (68), se tiene que su equivalente discreto corresponde a

$$I_{Est\ dia}(k) = \frac{2V_{PV}(k)I_{PV}}{V_{CApico}}, \quad (81)$$

donde la corriente I_{PV} no se va a muestrear, ya que este va a ser un parámetro constante, el cual se define de acuerdo al valor de potencia que se requiera extraer del arreglo fotovoltaico.

La estimación de la corriente en modo noche, a partir de (69), se tiene que

$$I_{Est\ noche}(k) = (K_P + K_I T_m) e_V(k) - K_P e_V(k - 1) + I_{Est\ noche}(k - 1), \quad (82)$$

donde

$$e_V(k) = V_C(k) - V_C^*. \quad (83)$$

En la expresión (73), la corriente de potencia activa, en su forma discreta queda

$$i_d^*(k) = I_{Est\ dia}(k) * z + I_{Est\ noche}(k) * (1 - z). \quad (84)$$

La ecuación, para la corriente de referencia mostrada en (75), en tiempo discreto corresponde a

$$i_L^*(k) = i_d^*(k) \sin(\omega k T_m) + i_q(k) \cos(\omega k T_m). \quad (85)$$

A partir de las ecuaciones (60) y (61), se obtienen sus expresiones equivalentes discretas

$$V_x(k) = \left(\frac{T_m}{C}\right) (1 - 2u(k-1))(1 - z)i_L^*(k) + V_x(k-1), \quad (86)$$

$$u(k) = \frac{L\left(\frac{i_L^*(k) - i_L^*(k-1)}{T_m}\right) + i_L^*(k)R + V_{CA}(k) - R_P(i_L(k) - i_L^*(k))}{2(zV_{PV}(k) + (1 - z)V_x(k))} + \frac{1}{2}. \quad (87)$$

Las ecuaciones (80) a la (87), corresponden a las expresiones de control en tiempo discreto, que se pueden introducir en la tarjeta de control. Sin embargo, antes de eso, se realiza una simulación, la cual se explica a detalle en la siguiente sección.

Para estimar el factor de potencia tanto en la carga como en la red, se utiliza la expresión (88),

$$fp = \frac{i_d}{\sqrt{i_d^2 + i_q^2}}, \quad (88)$$

una vez se haya determinado la transformación DQ, la cual es muy útil durante la simulación, para estimar el valor del factor de potencia que estamos analizando, tanto en la carga, como en la red.

3.3 Simulación

Para ver el comportamiento del sistema, bajo condiciones de trabajo específicas, previo a realizar cualquier prueba en físico, se presenta la construcción del modelo en Simulink de Matlab R2017A en la figura 33. Los cuadros con relleno verde son la secuencia de control discreta; los cuadros con relleno azul, son la secuencia de control continua; los cuadros rojos son etapas en común (habilitación de u , modulación pwm, factor de potencia en la red y definición de z), y sin recuadros se encuentra el modelo de circuito equivalente, y la visualización de variables eléctricas (V_{PV} , V_C , i_{red} , i_L , V_{AC}).

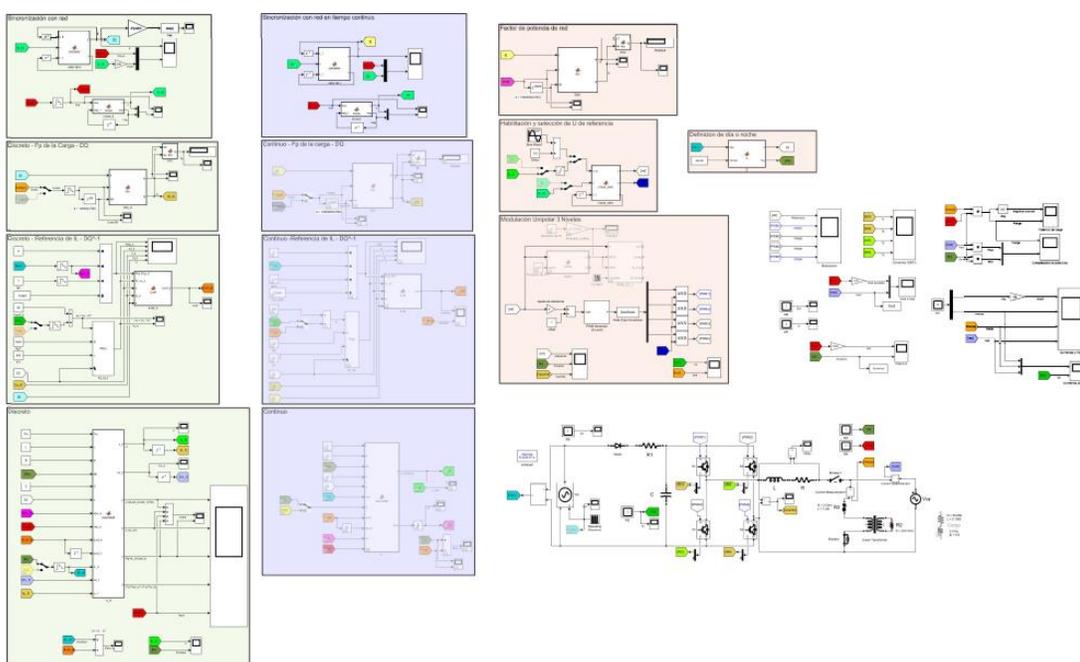


Figura 33. Modelo del sistema en Simulink.

Fuente: Autor.

Ya que son diversas etapas, se va a explicar cada una de ellas para entender el funcionamiento del modelo. Cabe aclarar que los recuadros en tiempo continuo no se detallan, pues son similares al discreto, pero se construyeron para verificar que la respuesta en tiempo continuo cómo tiempo discreto sea similar.

3.3.1 Sincronización con tensión de red V_{CA}

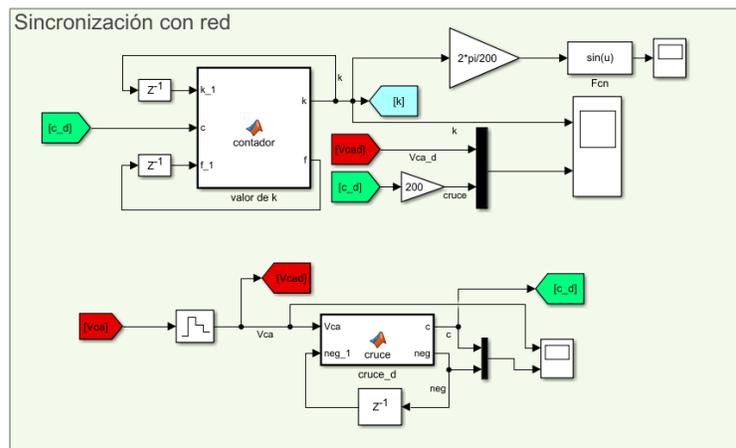


Figura 34. Generación del reloj discreto, y función de cruce por cero.

Fuente: Autor.

En la figura 34 se muestra cómo se realiza el proceso de sincronización con la señal de tensión de red, y en primera instancia, se logra con una función cruce por cero, donde está activa una salida en "1" únicamente cuando ocurre el evento de cambio de tensión negativa a positiva en la red. Una vez ocurre lo anterior, empieza a funcionar el contador de muestras k que, para este caso, funciona desde cero (0) a ciento noventa y nueve (199), y que se reinicia cada vez que llegue al último valor, o detecte nuevamente el evento de cruce. En la figura 35 se muestran los códigos de las funciones mostradas en la figura 34.

cruce_d	valor de k
<pre> 1 function [c,neg] =cruce (Vca,neg_1) 2 % Transformada DQ monofásica 3 if Vca >= 0 4 neg = 0; 5 else 6 neg = 1; 7 end 8 9 if (neg_1 == 1 && neg == 0) 10 c = 1; 11 else 12 c = 0; 13 end </pre>	<pre> 1 function [k,f] =contador (k_1,c,f_1) 2 if ((c == 1) (k_1 > 198)) 3 % El conteo se hace desde 0 a 199, 4 % ser mayor a 198 5 k = 0; 6 f = 1; 7 elseif f_1 == 1 8 k = k_1+1; 9 f = 1; 10 else 11 k = 0; 12 f = 0; 13 end </pre>

Figura 35. (De derecha a izquierda) Códigos de las funciones cruce y contador.

Fuente: Autor.

3.3.2 Estimación de la corriente en cuadratura i_q y el FP

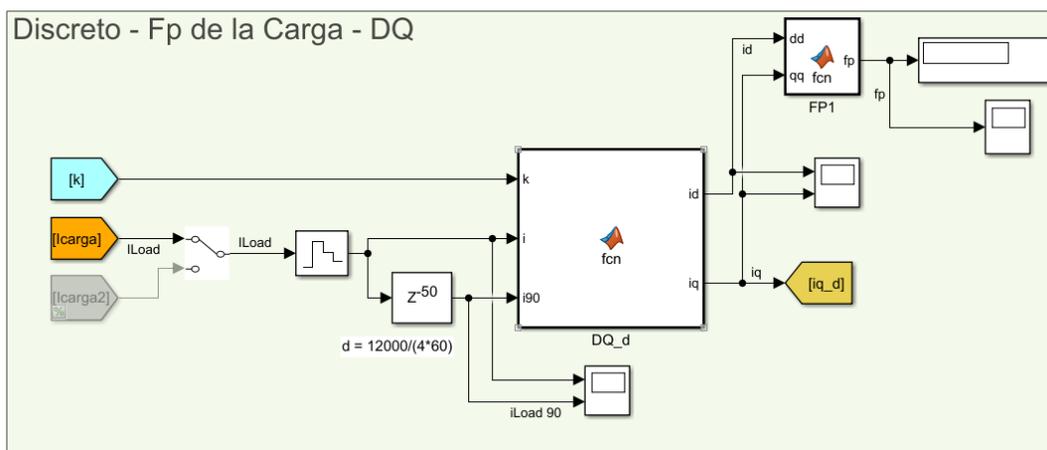


Figura 36. Transformación DQ de la corriente de carga, y su respectivo factor de potencia.

Fuente: Autor.

En esta sección (figura 36) se realiza la transformación DQ de la corriente de carga, con la cual se puede determinar el factor de potencia de la carga, y extraer la componente en cuadratura de la corriente de carga i_q , la cual sirve para estimar la corriente de referencia. Se resalta que la corriente retrasada 90° es el equivalente a retrasarla un cuarto de ciclo que, para el caso, son 50 muestras. Esta es una de las buenas prácticas mencionadas en los manuales de programación de microcontroladores.

```

DQ_d x +
1 function [id,iq]=fcn(k,i,i90)
2 % Transformada DQ monofásica
3 % Se divide en 200 = 12000/60
4 % |(frecuencia de muestreo / frecuencia de red)
5 f = 60;
6 fm = 12000;
7 id = i*sin(2*pi*f*(k/fm)) - i90*cos(2*pi*f*(k/fm));
8 iq = i*cos(2*pi*f*(k/fm)) + i90*sin(2*pi*f*(k/fm));

FP1 x +
1 function fp = fcn(dd,qq)
2 fp=dd/(dd^2+qq^2)^.5;

```

Figura 37. (De arriba a abajo) Código de la función DQ y factor de potencia.

Fuente: Autor.

3.3.3 Cálculo de la corriente de referencia i_L^*

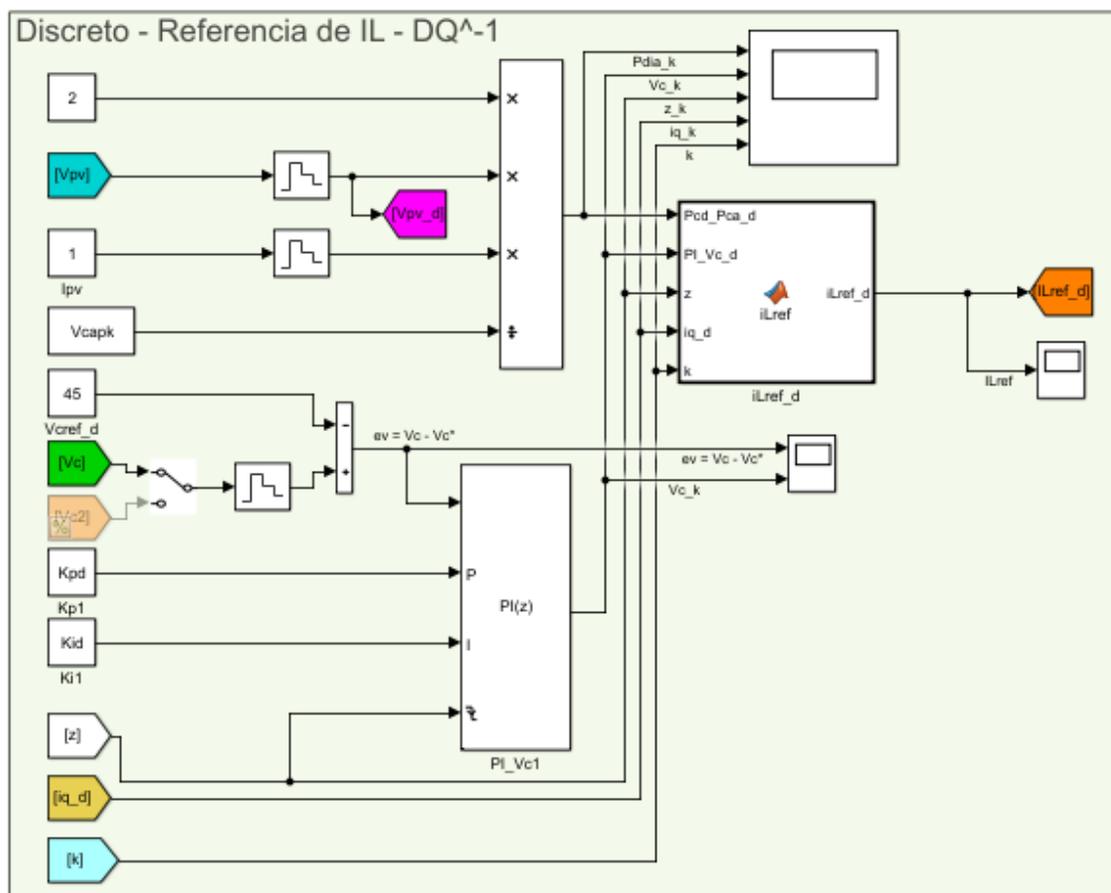


Figura 38. Estimación de la corriente de referencia.

Fuente: Autor.

En la figura 38 se observan los bloques requeridos para estimar la corriente de referencia que va a tratar de alcanzar el modelo. Se tiene la parte que funciona en el día (estimador de potencia) y la que funciona en la noche (controlador PI). Cabe mencionar que la estimación de potencia diurna con los parámetros de tensión y corriente fotovoltaica deben venir de un sistema externo, como lo es un MPPT, pero esto ya no hace parte del alcance del presente trabajo, por consiguiente, el parámetro de corriente fotovoltaica se establece como una constante, y la tensión si se está midiendo directamente del arreglo fotovoltaico. Con ello se hace un valor aproximado de potencia a inyectar a la red.

La señal de control que sale del controlador PI se debe reiniciar cada vez que ocurra la transición día – noche. En la figura 39 se muestra la función requerida para estimar la corriente de referencia en base a la transformada DQ inversa.

```

iLref_d x +
1 function iLref_d =iLref(Pcd_Pca_d,PI_Vc_d,z,iq_d,k)
2 % Corriente iL de referencia
3 % Se divide en 200 porque es el numero de muestras
4 fm = 12000;
5 f = 60;
6 iLref_d=(Pcd_Pca_d*z+PI_Vc_d*(1-z))*sin(2*pi*f*(k/fm))...
7 + iq_d*cos(2*pi*f*(k/fm));

```

Figura 39. Código de la función iLref.

Fuente: Autor.

Los valores de las constantes para el controlador PI se detallan en la tabla 4. Y los parámetros de configuración se muestran en la figura 40.

Tabla 4. Valores de las constantes K_p y K_i del controlador PI.

Parámetro	Valor
Ki	0.5
Kp	0.06

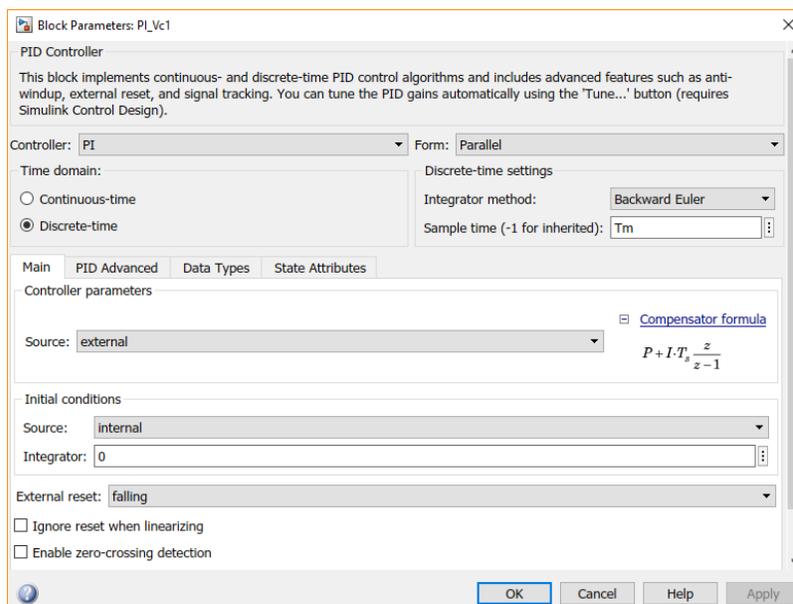


Figura 40. Configuración de parámetros del control PI.

Fuente: Autor.

3.3.4 Cálculo de la señal de control u

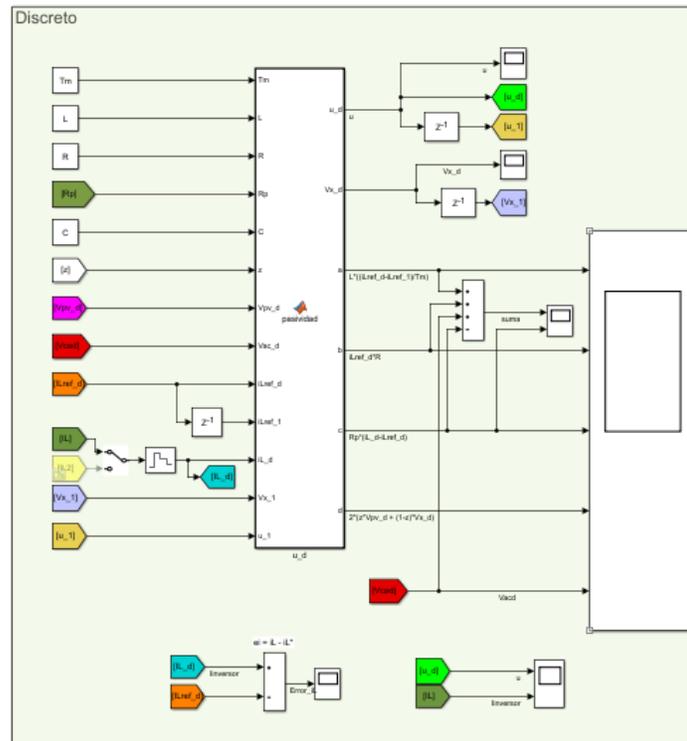


Figura 41. Bloque para el cálculo de la señal de control u .

Fuente: Autor.

En la figura 41 se detalla el bloque utilizado para estimar la señal de control, donde se ven las diversas entradas, pero también sus múltiples salidas, donde se observa el comportamiento de cada término de la expresión. También se observan comparaciones entre la señal medida y la referencia. En la figura 42 se describe el código para el cálculo de u .

```

1  function [u_d,Vx_d,a,b,c,d] = pasividad(Tm,L,R,Rp,C,z,Vpv_d,Vac_d,...
2      iLref_d,iLref_1,iL_d,Vx_1,u_1)
3
11 - Vx_d = ((Tm / C)*(1 - 2*u_1)*((1 - z)*iLref_d)) + Vx_1;
12 - a = L*((iLref_d-iLref_1)/Tm);
13 - b = iLref_d*R;
14 - c = Rp*(iL_d-iLref_d);
15 - d = 2*(z*Vpv_d + (1-z)*Vx_d);
16 - u_d = ((a + b + Vac_d - c)/(d)) + 0.5;

```

Figura 42. Código para el cálculo de la señal u de control.

Fuente: Autor.

3.3.5 Definición de día y noche con z

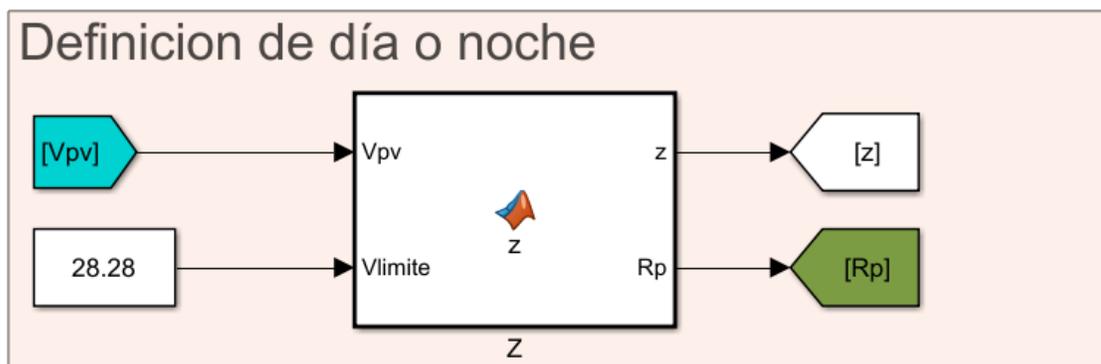


Figura 43. Bloque para definir z y R_p .

Fuente: Autor.

En la figura 43 se muestra el bloque utilizado para definir el parámetro z, el cual es utilizado en la mayoría de las ecuaciones. Adicionalmente también se establece el valor de R_p para los dos escenarios. En la figura 44 se muestra el código de la función de z.

```

1 function [z,Rp] =z(Vpv,Vlimite)
2 % Definir día o noche
3 if Vpv > Vlimite
4     z = 1;
5     Rp = 50;
6 else
7     z = 0;
8     Rp = 90;
9 end

```

Figura 44. Código para la función de z.

Fuente: Autor.

Para la variable de tensión limite, V_{lim} se establece que

$$V_{lim} = \frac{4}{3} V_{CApico}. \quad (89)$$

Por esa razón su valor aproximado es de 28.28 Vdc. Adicionalmente, se aclara que el valor de R_p difiere en la noche con respecto al día. De día, $R_p = 50$, y de noche, $R_p = 90$.

3.3.6 Selección de la señal de referencia y habilitación del PWM

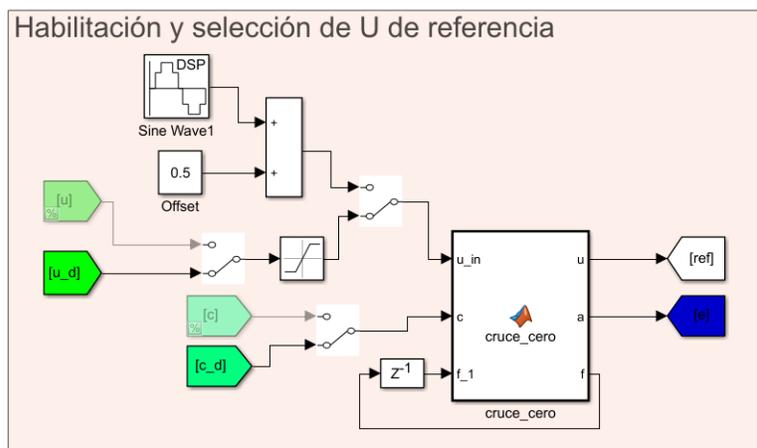


Figura 45. Selección de señal de control, y habilitación del PWM.

Fuente: Autor.

Debido a que el sistema debe sincronizarse con la red, tanto la señal de control u y las de activación de los PWM deben estar desactivadas hasta que ocurra el primer evento de cruce por cero. Por ello, se creó la función “cruce_cero” (figura 45) la cual, a su salida tanto de u como a de habilitación, permiten activar el PWM hasta que el primer cruce por cero que ocurra. En la figura 46 se muestra el código para la función mencionada.

```

cruce_cero x +
1  function [u,a,f] =cruce_cero(u_in,c,f_1)
2  -   if c == 1
3  -       u = u_in;
4  -       f = 1;
5  -       a = true;
6  -   elseif f_1 == 1
7  -       u = u_in;
8  -       f = 1;
9  -       a = true;
10 -   else
11 -       u = 0.5;
12 -       f = 0;
13 -       a = false;
14 -   end

```

Figura 46. Código de la función cruce por cero.

Fuente: Autor.

3.3.7 Modulación por ancho de pulso - PWM

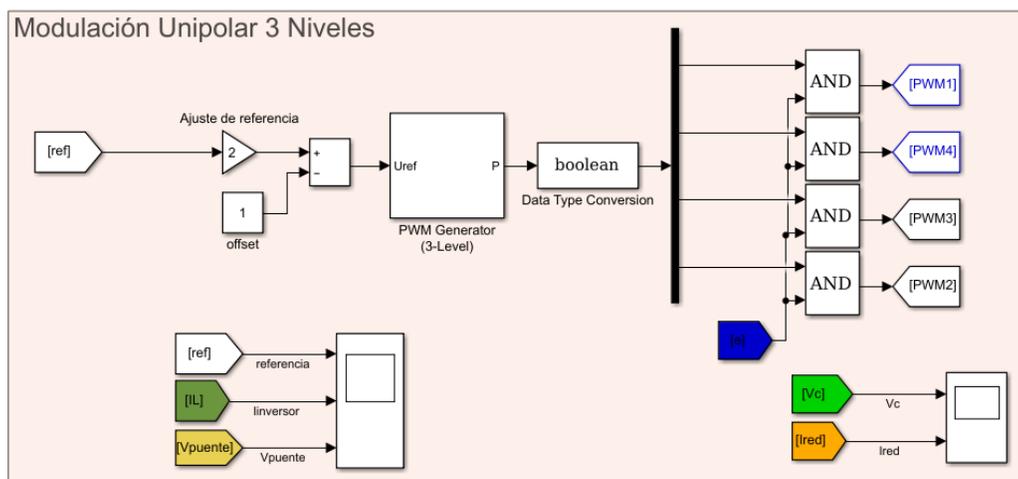


Figura 47. Bloque para la generación del PWM.

Fuente: Autor.

En la figura 47, se muestra el bloque de PWM de tres niveles utilizado para generar los pulsos que activan a los interruptores. Estos se generan a partir de la referencia especificada, comparando dos señales triangulares portadoras desplazadas simétrica y verticalmente, con el nivel de la entrada. Pero se debe tener presente que dicho bloque, opera en el rango de -1 a 1, y la señal de control está acotada entre 0 y 1, por lo tanto, se realiza el escalamiento previo a la entrada. En la figura 48, se muestra cómo funciona el proceso de activación de las señales de disparo. Adicionalmente, a la salida del generador se tiene una etapa de habilitación, para que se sincronice cuando se haya realizado el acoplo a la red, mostrado en la sección anterior. La lógica de activación de los interruptores funciona como se muestra en la tabla 5, por cómo se enumeró cada uno de los interruptores que se han mencionado.

Tabla 5. Lógica de activación de los interruptores.

Fuente: Autor.

Estado	Q1	Q2	Q3	Q4
+1	1	0	0	1
0	0	0	1	1
-1	0	1	1	0

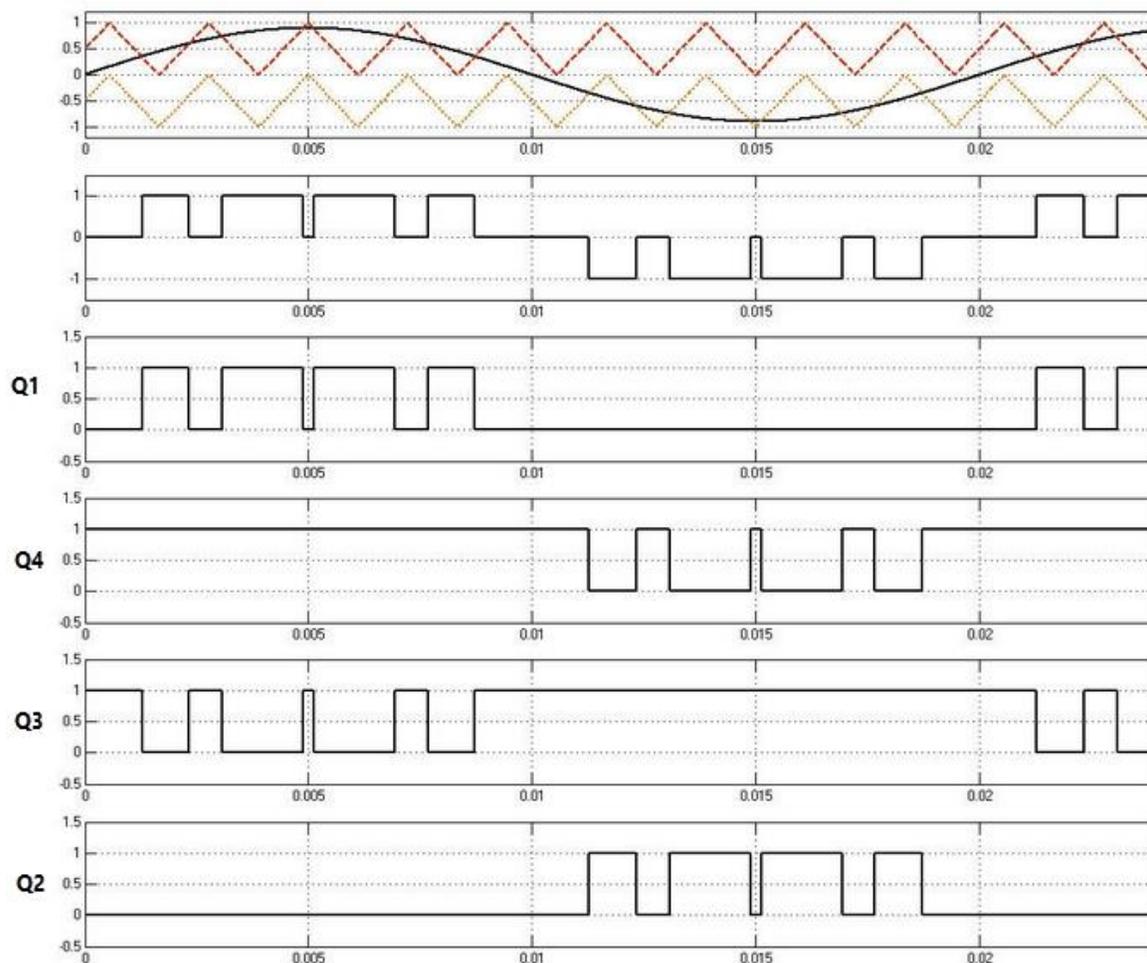


Figura 48. Pulsos de modulación de PWM para un puente H.

Fuente: (The MathWorks, Inc., 2017)

En la figura 49 se observan los parámetros de configuración del generador de PWM de 3 niveles, el cual es configurable para uno (single-phase half bridge), dos (single-phase full bridge) y tres (three-phase bridge) puentes H de interruptores. Para este trabajo se usó la de un puente, pues entrega los cuatro pulsos requeridos para el modelo presentado. Su operación es no sincronizada, pues su sincronización se realiza externamente. Y la frecuencia de la portadora corresponde los 12000 Hz, que es la frecuencia de muestreo de nuestro ADC que se está trabajando. El período de muestreo que se menciona aquí corresponde al periodo de muestreo de la simulación, y que corresponde al inverso de cien veces la frecuencia de la portadora. Esto con el fin de que la señal triangular portadora generada tenga suficientes muestras para realizar la comparación con la señal de referencia.

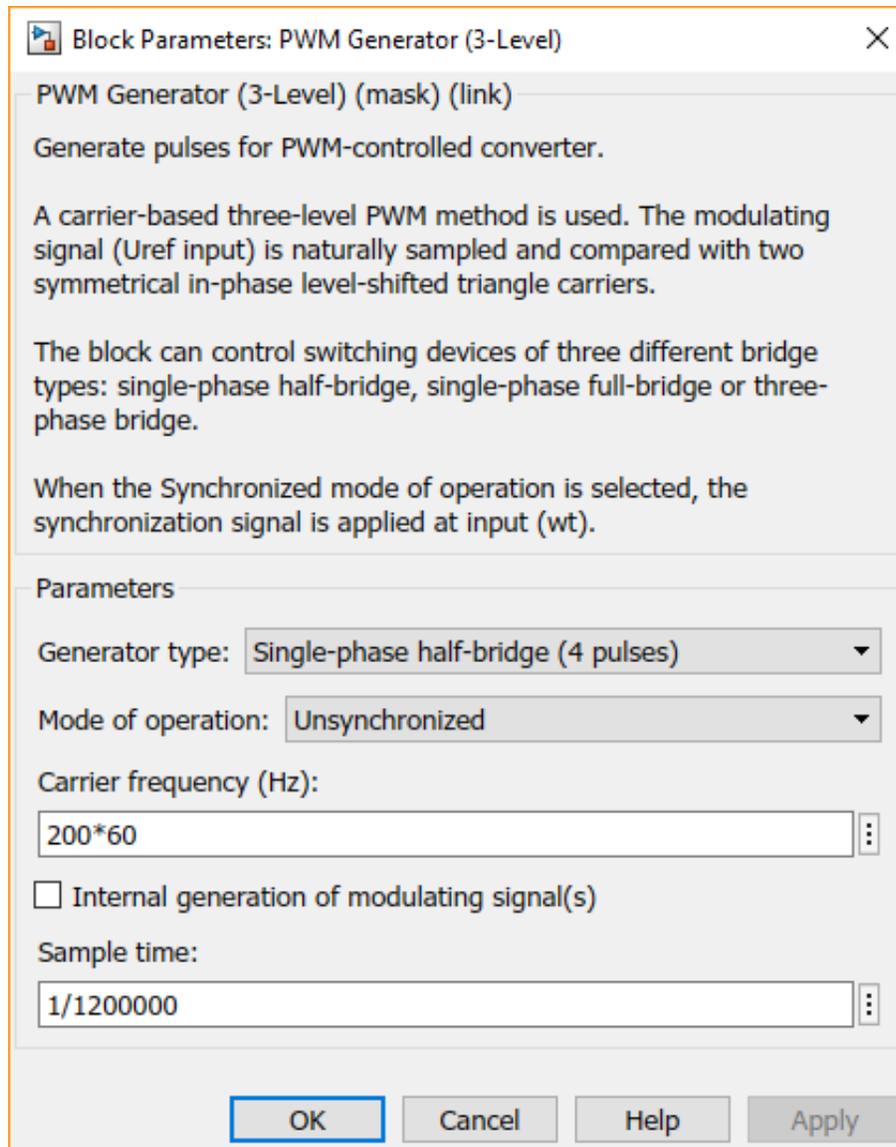


Figura 49. Configuración de parámetros del bloque de generación PWM de tres niveles.

Fuente: Autor.

3.3.8 Modelo del circuito

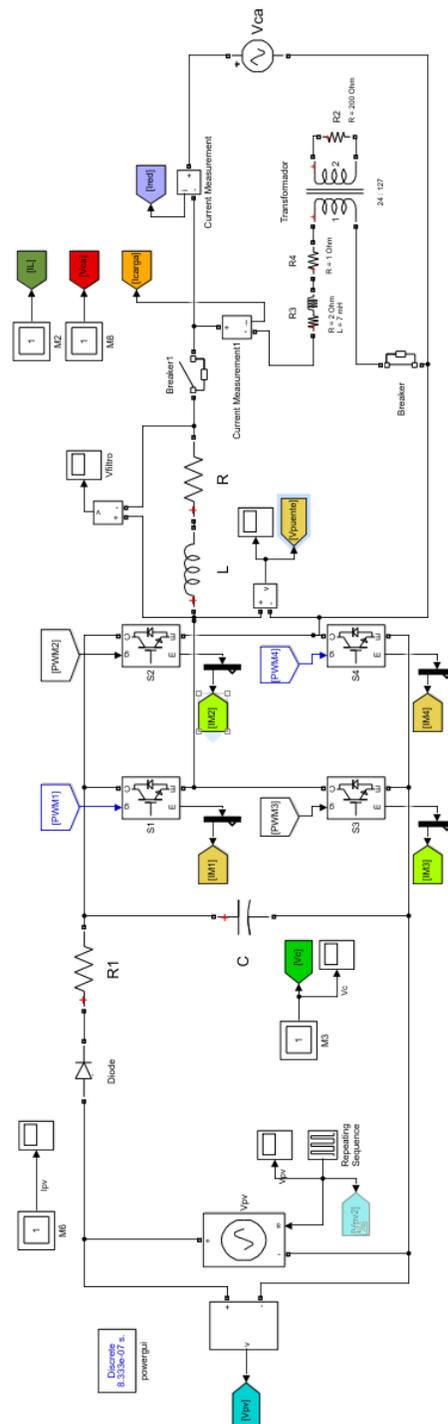


Figura 50. Modelo del circuito.

Fuente: Autor.

En la figura 50 se tiene el modelo del circuito utilizado para simular los efectos eléctricos relacionados con la inyección de potencia a la red. Se observa cómo se obtienen todas las variables a medir, las cuales interactúan con el modelo de control, para observar la señal de control u , y a su vez, los pulsos de activación de los interruptores IGBT. Los parámetros de circuito son los mostrados en la tabla 6.

Tabla 6. Parámetros de simulación del circuito a baja tensión. Fuente: Autor.

Parámetro	Valor	Unidad
Amplitud Tensión de red	21.21	Vp
Tensión de Arreglo PV	45	Vdc
Resistencia Filtro	4	Ω
Inductancia Filtro	14	mH
Capacitancia de Entrada	6.78	F
Frecuencia de Red	60	Hz

La fuente dependiente que emula el arreglo fotovoltaico tiene forma de salida la cual, varía en el transcurso de la simulación, para simular los efectos día y noche. También se debe mencionar que se colocó un diodo saliendo del arreglo, para evitar corrientes inversas, así mismo, una resistencia de valor casi cero, para observar el comportamiento de la corriente fotovoltaica. Adicionalmente se colocan unos interruptores (breakers) accionados temporalmente, para mostrar dos escenarios: uno sin efecto del inversor, y otro sin efecto de la carga. Otro aspecto importante a tener en cuenta es que la capacitancia utilizada corresponde al valor de un banco de supercondensadores, y por ello esta simulación se realiza a baja tensión, pues dicho banco soporta una tensión máxima de 50 V, y por seguridad, se establece un valor de V_{PV} de 45 volts.

Cabe recordar que las variables cuyo comportamiento se debe analizar son: corriente de red i_{red} , corriente del inversor i_L , corriente de la carga i_{carga} , tensión de la red V_{AC} , y la tensión del capacitor V_C . Las demás son secundarias, y no se van a detallar en los resultados.

3.4 Programación de la tarjeta de control

En esta sección se explica cómo se configuró la tarjeta de control, pues tiene dos partes, una de hardware, y otra de software. Ambas se realizaron en el software PSOC Creator 4.0 (Cypress Semiconductor Corporation, 2015). Aquí se explica cómo se configuró toda la parte de hardware, y el diagrama de flujo del funcionamiento del programa en software. El código fuente se va a mostrar en los anexos.

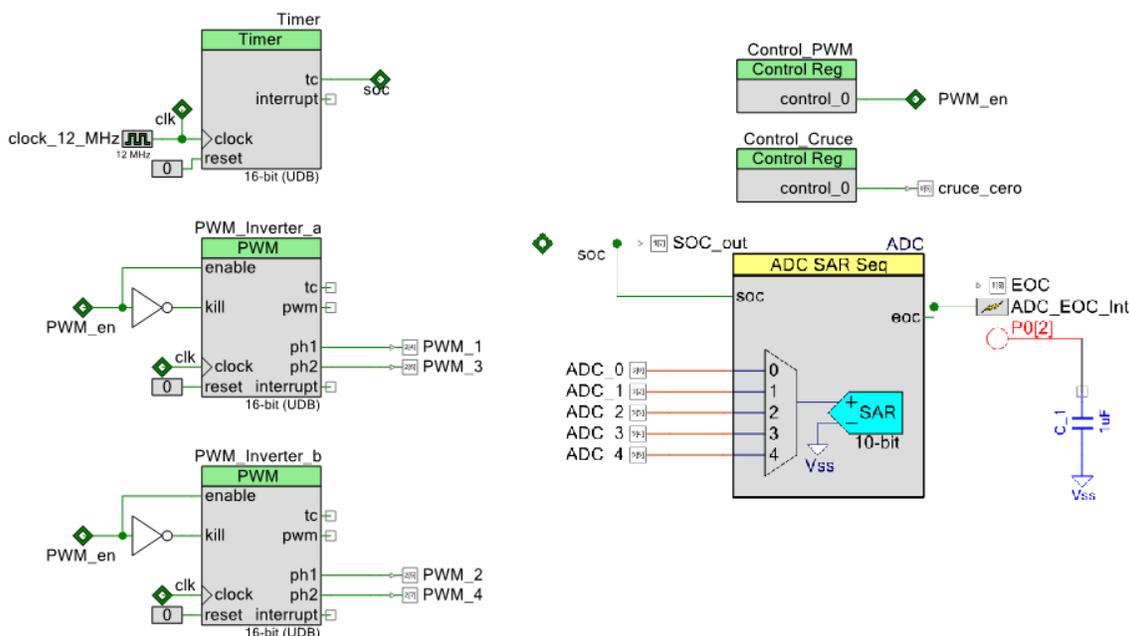


Figura 51. Diagrama general de los componentes de hardware utilizados.

Fuente: Autor.

Cabe mencionar que se utilizó dos tarjetas de control, una la PSOC4 y la otra PSOC5. Ambas se configuraron de manera similar en el mismo software. Lo diferente es la velocidad de procesamiento de cada una de ellas. Mientras la primera puede llegar hasta 48 MHz, la segunda alcanza hasta los 78 MHz de procesamiento. Y como se ve en la figura 52 y en la figura 53, la configuración física de la tarjeta también es distinta, por ellos los pines se ajustan de manera diferente.

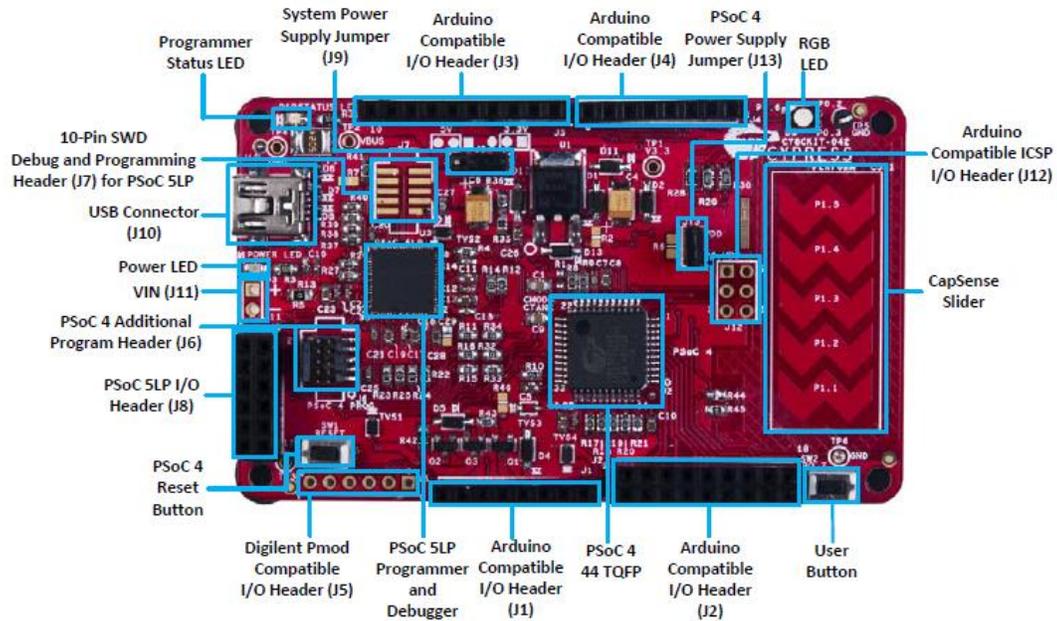


Figura 52. Tarjeta de control PSOC4 de Referencia: CY8CKIT-042.

Fuente: (Cypress Semiconductor Corporation, 2015)

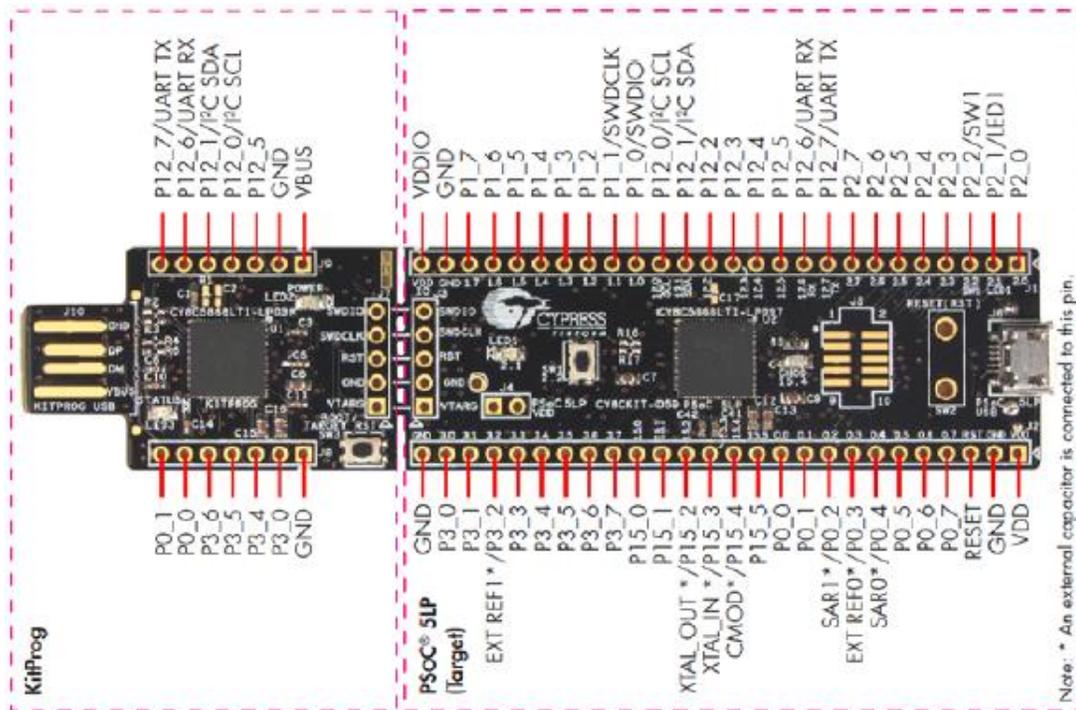


Figura 53. Tarjeta de control PSOC5 de Referencia: CY8CKIT-059.

Fuente: (Cypress Semiconductor Corporation, 2018)

3.4.1 Temporizador

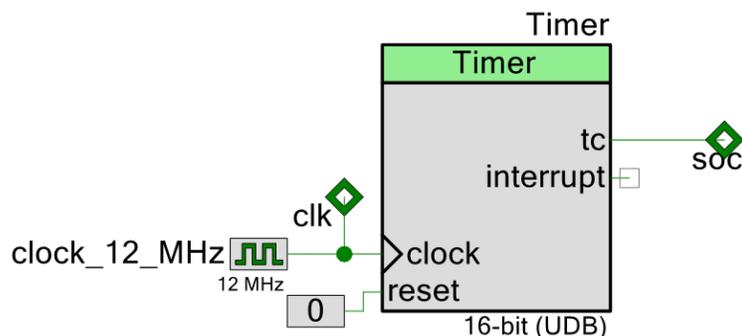


Figura 54. Temporizador para la ejecución de la rutina de control.

Fuente: Autor.

Este componente de la tarjeta tiene la función de dar la orden al componente de ADC, de empezar una conversión, para ejecutar toda la rutina de control. En su entrada tiene un reloj de 12 MHz (figura 54) y realiza el conteo hasta 1000 ciclos, y en su salida “tc” (*terminal count*) donde envía un pulso de señal a la conexión “soc” (por sus siglas en inglés *start of conversion*) cada $83.33 \mu\text{s}$, que corresponde al periodo de muestreo correspondiente a la frecuencia de muestreo de 12 KHz. Se destaca que su activación se realiza por software (figura 55).

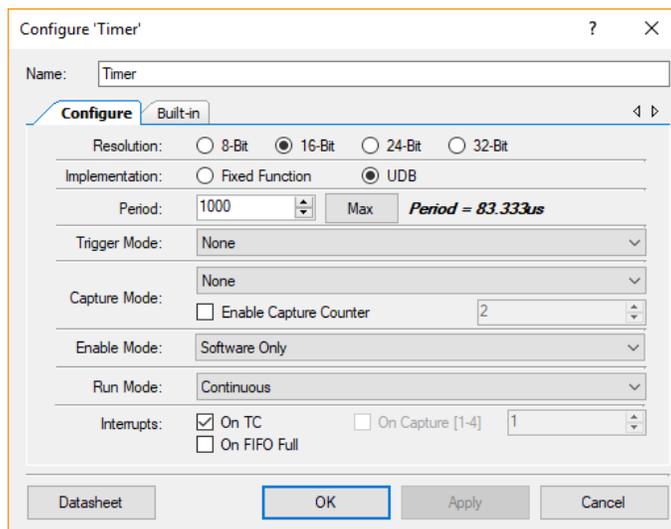


Figura 55. Configuración del Temporizador.

Fuente: Autor.

3.4.2 Convertidor analógico a digital (ADC)

Este módulo se muestra la figura 56. Es un convertidor ADC por aproximaciones sucesivas, el cual es configurable en varios modos de operación, como lo es la adquisición diferencial, o la adquisición de modo simple, la cual es la que se usa en este trabajo. Cuenta con una resolución de 10 bits, o sea, 1024 niveles de salida, para un rango de tensión de entrada de 5 Vdc, para lo cual tenemos que el nivel de cuantificación Q es

$$Q = \frac{FSR}{2^n} = \frac{5\text{ V}}{2^{10}} \cong 4.88 \left[\frac{\text{mV}}{\text{nivel}} \right], \quad (90)$$

donde FSR es el rango de tensión de entrada y n el número de bits.

Se tiene una velocidad de trabajo de 180000 muestras por segundo por canal para este trabajo (figura 57). Si se están leyendo 5 canales, que son las variables de interés, tenemos una capacidad de 900000 muestras por segundo. Pero se debe aclarar que este módulo realiza una conversión por cada pulso que reciba de la entrada “soc”, ya que esta seleccionada la opción “Hardware trigger” por lo tanto, se están entregando las muestras cada ciclo de temporizador. La justificación de una entrega de datos tan elevada es para que haya el mínimo retardo posible, bajo una operación estable, ya que, entre cada muestra, debe realizarse todo el cálculo del control.

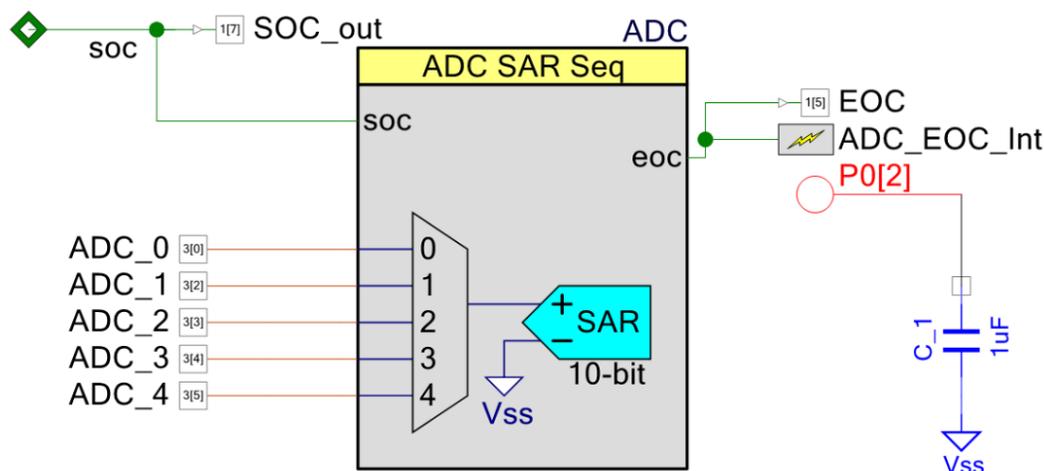


Figura 56. Módulo de conversión ADC en PSOC.

Fuente: Autor.

En la salida “eoc” (*end of conversion*) indica cuando termina de realizar el muestreo y almacenamiento de las 5 señales por medio de un pulso, el cual está conectado a una interrupción, la cual es la que se ejecuta para realizar la rutina de control. Debido a la velocidad tan elevada de muestreo, se requiere conectar un capacitor a modo de bypass, de 1 μF , en el pin P0[2] y Vss, el cual le da estabilidad de operación al ADC a alta velocidad, debido al ruido interno de la conmutación, tal como lo indica el fabricante (Cypress Semiconductor Corporation, 2015).

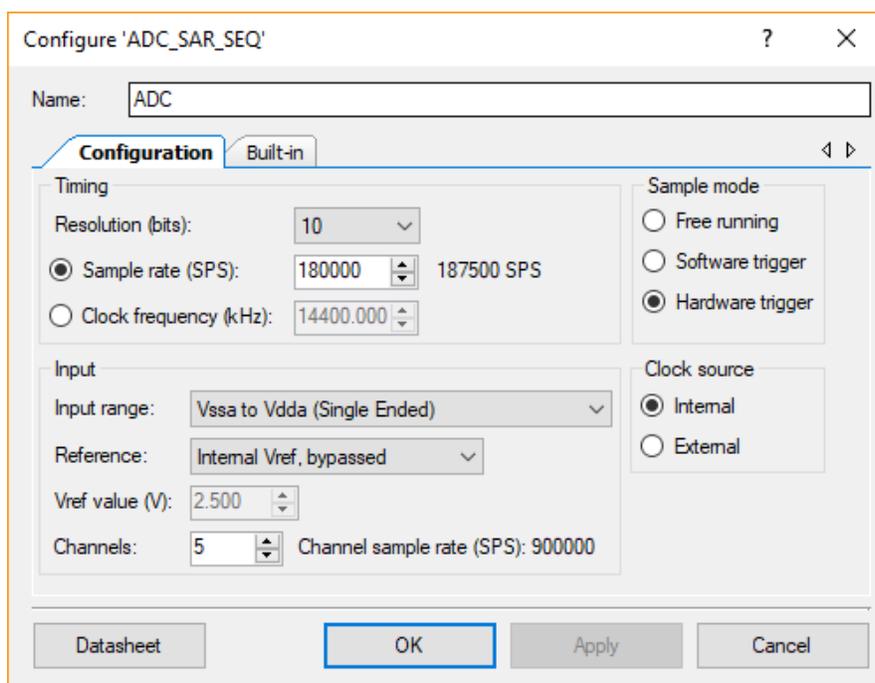


Figura 57. Configuración del módulo ADC.

Fuente: Autor.

3.4.3 Modulaci3n de ancho de Pulso – PWM

En la figura 58, tenemos el bloque de configuraci3n del PWM para la activaci3n de los IGBT's del m3dulo de potencia, por lo cual, se ha decidido trabajar a una frecuencia de conmutaci3n de 12 kHz. Este m3dulo cuenta con la entrada de reloj de 12 MHz, al igual que el temporizador, una entrada de "reset", que siempre va a tener un "0", una entrada de habilitaci3n "enable" que se activa con un "1", y una entrada de "kill", la cual es muy 3til al comienzo de la operaci3n del inversor, ya que las salidas quedan desactivadas cuando esta entrada este activa con un "1". Al ser opuesta a la se1al de "PWM_en", se tiene la compuerta NOT en esta entrada.

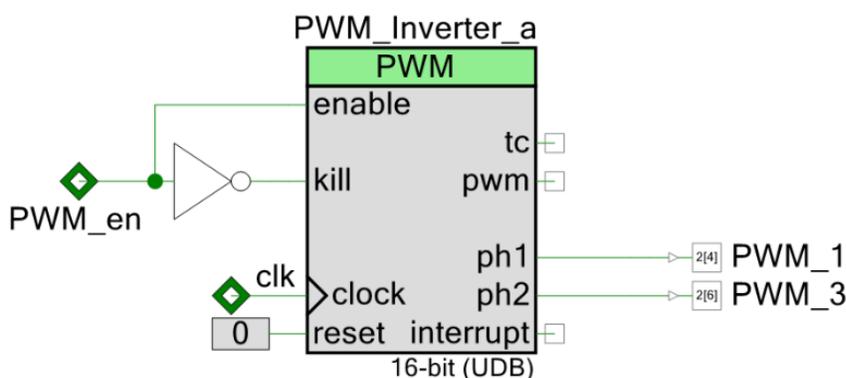


Figura 58. M3dulo de PWM en el PSoc.

Fuente: Autor.

En la figura 59 se muestra la configuraci3n del m3dulo de PWM, donde se observa que debe ser alineado en el centro, con un periodo "Period" de 499 ciclos de reloj, el valor a comparar "CMP Value 1" inicial es 0, ya que la rutina de control ir3 modificando este valor posteriormente, el tipo de comparaci3n "CMP Type 1" es "less", haciendo referencia a que se activa cuando el valor de comparaci3n es menor al conteo del periodo.

Teniendo en cuenta que, para la activaci3n de los transistores IGBT se debe tener en cuenta los tiempos de apagado y encendido, dentro de la activaci3n en el PWM se debe contemplar la aplicaci3n de tiempos muertos para la salida directa y para la complementaria. Por ello, se deben configurar estas de modo que se pueda garantizar

dichos tiempos, y esto se realiza en la opción “Dead band”, colocando la opción de “2-256 Clock Cycles” con un valor de 10.

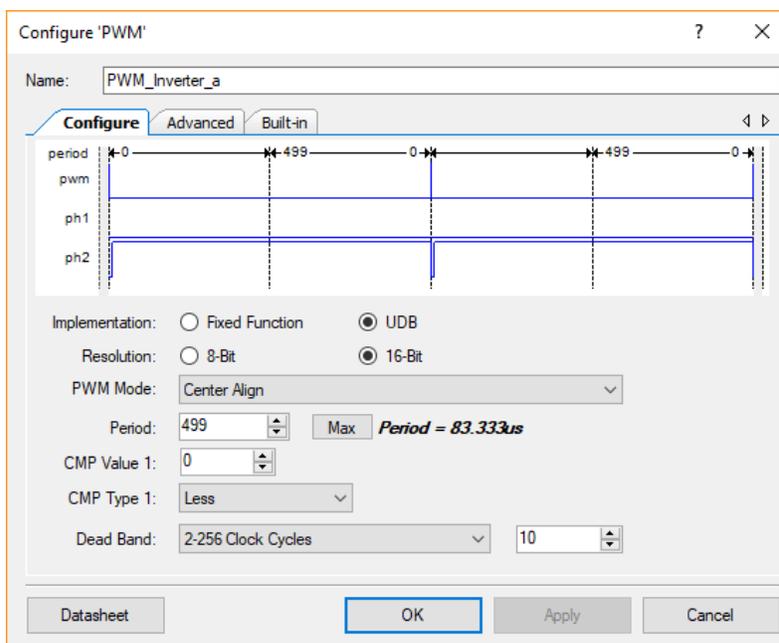


Figura 59. Configuración del módulo de PWM. Parte 1.

Fuente: Autor.

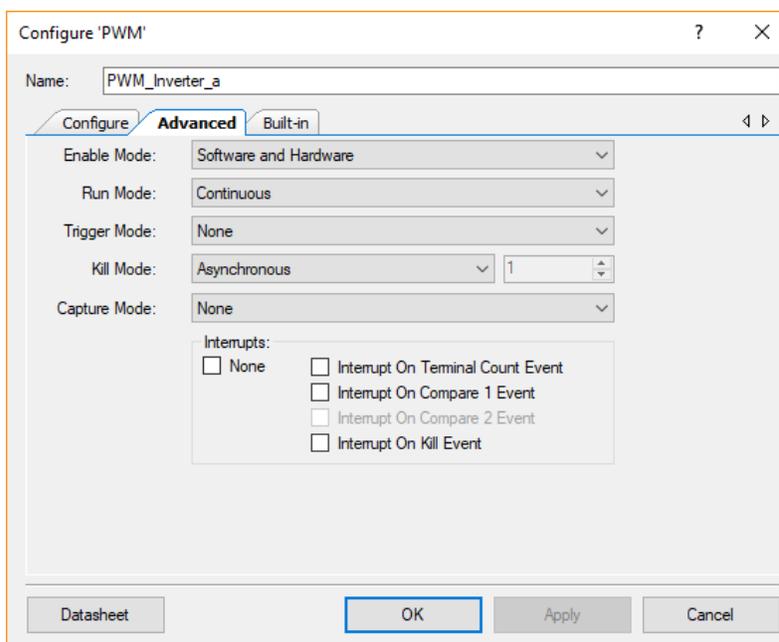


Figura 60. Configuración del módulo de PWM. Parte 2.

Fuente: Autor.

Los demás parámetros de configuración se muestran en la figura 60, donde se especifica que la habilitación “Enable Mode” se realiza por software y por hardware, el modo de operación “Run Mode” debe de ser continuo, y el modo “kill mode” debe ser asíncrono, con el fin de desactivar las salidas de los módulos de PWM en cualquier instante siempre que se active dicha entrada.

Ya que se tienen 4 interruptores en el inversor, se requiere configurar dos módulos de igual manera, que para este trabajo se denominaron:

- “PWM_Inverter_a” para los interruptores Q1 y Q3,
- “PWM_Inverter_b” para los interruptores Q2 y Q4.

Se comprueban en el osciloscopio el cumplimiento de los tiempos muertos, los cuales quedaron establecidos en aproximadamente 820 ns. Esto se ve en la figura 61.

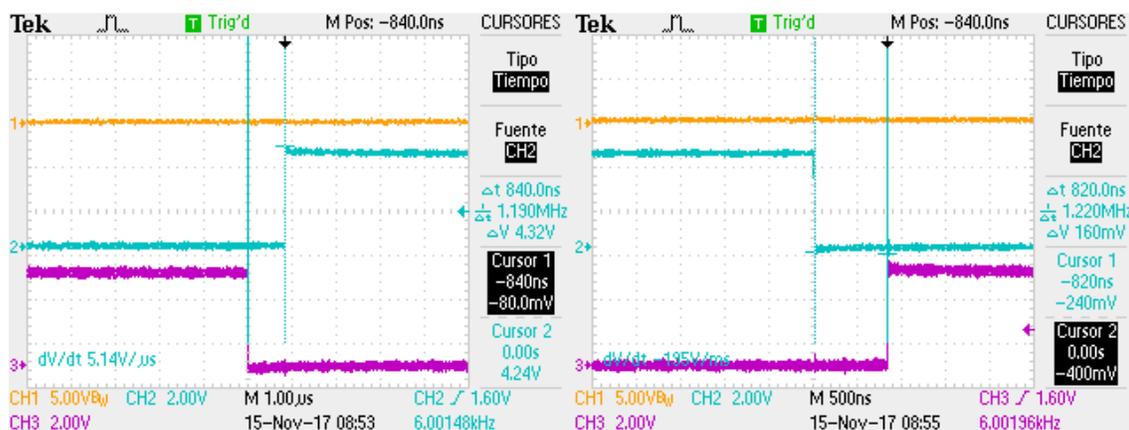


Figura 61. Tiempos muertos en la activación del PWM para sus salidas.

Fuente: Autor.

3.4.4 Convertidor de digital a analógico - DAC

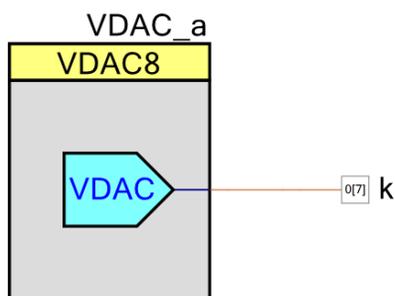


Figura 62. Módulo DAC.

Fuente: Autor.

En la figura 62 se muestra el convertidor de digital a analógico, el cual funciona escribiendo un valor desde 0 a 255 (8 bits de resolución), y sacando un valor analógico equivalente en su salida, que en este caso es un valor de tensión DC. El valor se puede escribir por hardware o por medio del software, que es la opción que se usa en este trabajo. En la figura 63 se muestra la configuración del DAC, para el cual se selecciona un rango de 0 a 4.08 V, con un valor inicial en 0, que opera en alta velocidad y la fuente de datos sea la CPU. Los demás parámetros son irrelevantes.

Para este trabajo se utilizan 3 módulos DAC, “VDAC_a” para verificar el incremento de la variable de conteo k, “VDAC_b” para verificar la forma de onda de la corriente de referencia, y, por último, “VDAC_c” para verificar la variable con control u.

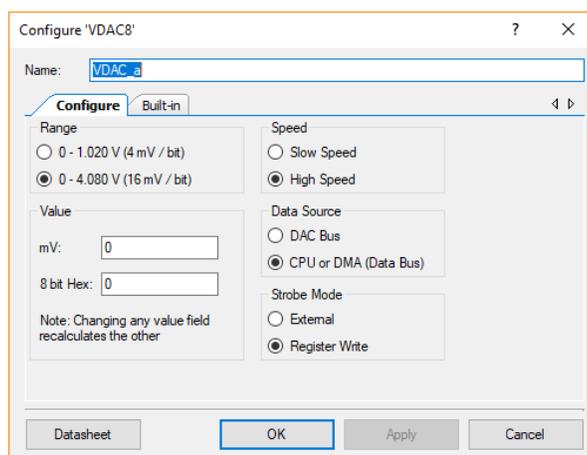


Figura 63. Configuración del módulo DAC.

Fuente: Autor.

3.4.5 Registros de control

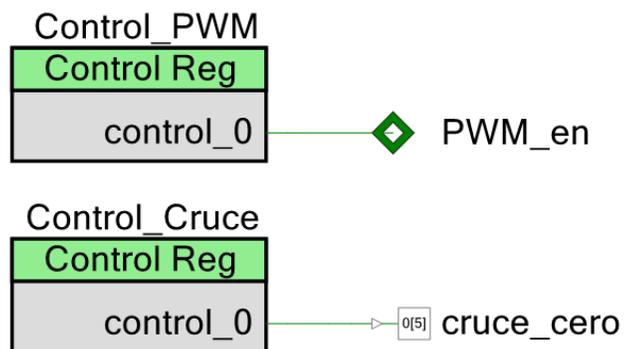


Figura 64. Registros de control para uso general.

Fuente: Autor.

En la figura 64 se muestran los registros de control, que sirven para controlar pines de la tarjeta, o entradas de hardware, desde software o rutina de control. Son salidas digitales directas, y se utilizan solo dos en este trabajo, “Control_Cruce” para verificar el pulso de cruce por cero, y “Control_PWM” para la habilitación de los módulos de PWM. En la figura 65 se detalla su configuración, en la cual solo se establecen el número de salidas, las cuales pueden ser desde 1 hasta 8, con un valor inicial establecido para cada una de ellas. Estos valores se modifican desde la rutina de control.

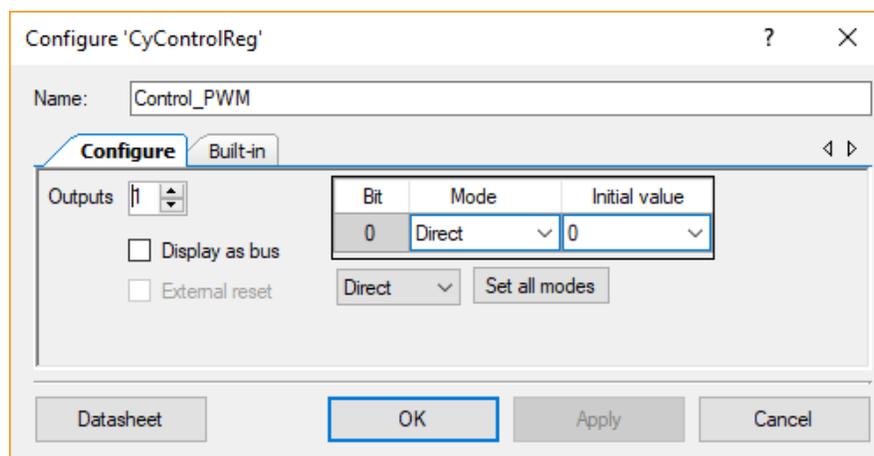


Figura 65. Configuración de los registros de control.

Fuente: Autor.

3.4.6 Diagrama de Flujo de la Rutina de Control

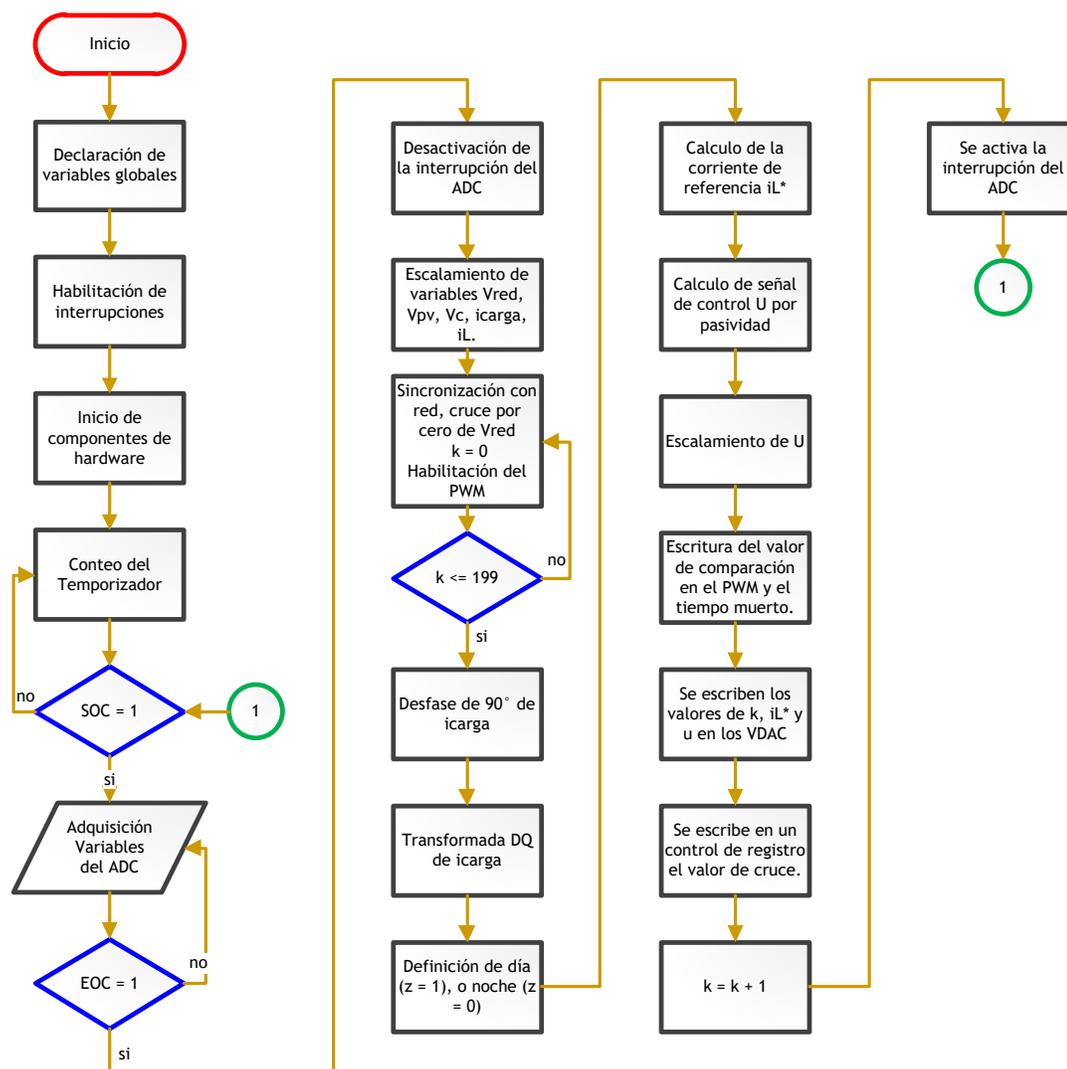


Figura 66. Diagrama de flujo de la rutina de control.

Fuente: Autor.

En la figura 66 se muestra el diagrama de flujo del esquema de control. Como se detalla en la figura, lo primero que se debe hacer es la sincronización con la red, ya que no se puede inyectar potencia sin este proceso previo. Esta figura es similar a la figura 15, solo que aquí se muestra el orden de los pasos a seguir. El código completo se muestra en los anexos.

3.5 Conexión del Sistema

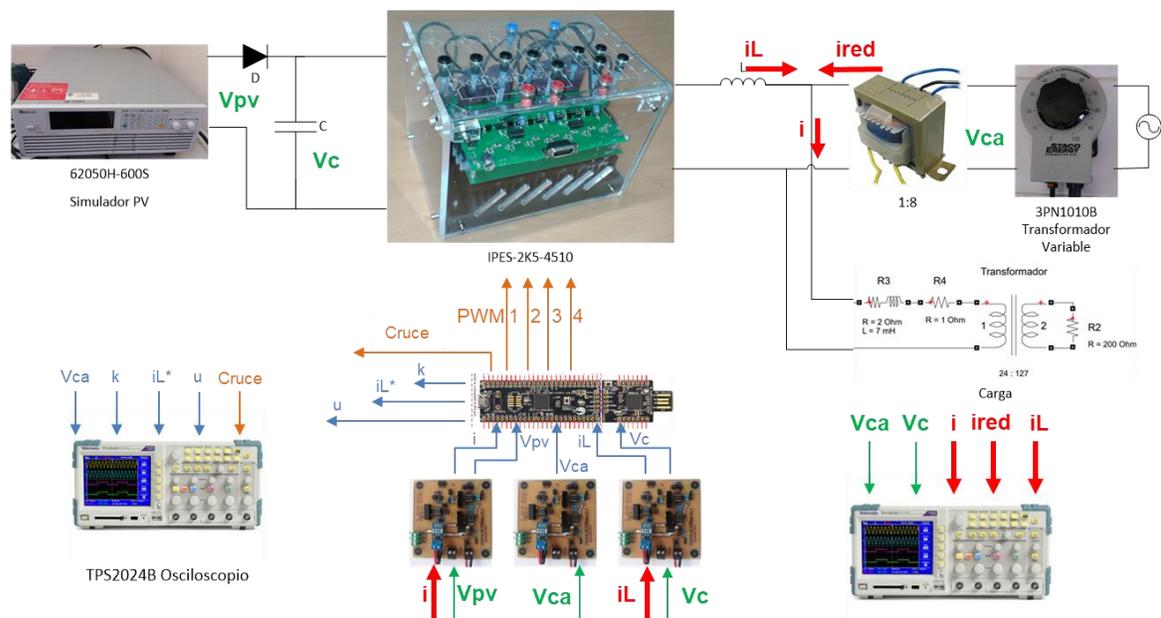


Figura 67. Conexión del sistema completo.

Fuente: Autor.

En la figura 67 se muestra la conexión eléctrica del sistema, haciendo énfasis en que este es el esquema para verificación de tensión reducida. Cabe destacar que se requieren de al menos tres tarjetas para la adecuación de las variables eléctricas requeridas para realizar el cálculo de la señal de referencia u , así como de señales auxiliares de salida de la tarjeta de control para verificar cada una de las etapas del sistema. Se destaca el uso de dos osciloscopios, uno para verificar las señales de potencia, cuyas entradas deben estar completamente aisladas todas entre sí, y el otro para visualizar las variables de control de la tarjeta, pero en este último no es necesario que el osciloscopio tenga tierras aisladas. No menos importante es que la tierra digital, es la misma tanto para la tarjeta de control, para las tarjetas de adecuación y para la entrada de las señales de disparo del inversor.

3.6 Secuencia de conexión y energizado

Esta es la secuencia que se debe seguir paso a paso, ya que, al usar una capacitancia del orden de los faradios, esta requiere un enorme valor de corriente para cargarse. Debido a eso, los incrementos en tensión del sistema se deben hacer respetando los límites de las fuentes de alimentación. La secuencia se expresa a continuación:

1. Con la carga desconectada, comenzar la carga del banco de super-capacitores (SC) por medio del transformador. Realizando pequeños incrementos de tensión AC, monitorear la corriente y la tensión del capacitor, evitando que se llegue a la corriente nominal pico del transformador variable.
2. Una vez alcanzada la tensión pico de la red que se desea, y la corriente de red llegue a cero, encender el simulador PV en el valor de tensión que se tiene actualmente en el banco de SC, e incrementar poco a poco la tensión del arreglo PV, verificando los valores de tensión y de corriente, puede ser directamente en el panel de lectura de este. Una vez llegada a la tensión fotovoltaica deseada, esperar a que la corriente sea cero nuevamente. Así se asegura que el banco de SC está listo para operar.
3. Conectar la carga.
4. Encender las tarjetas de medición de señal
5. Encender la tarjeta de control.
6. Alimentar la tarjeta de drivers de activación o alimentación del inversor.
7. Revisar la estabilidad del sistema, revisando que las mediciones tanto de corriente y tensión no sobrepasen los límites de los equipos. Si esto llega a suceder, lo primero que se debe desconectar es la alimentación del inversor.

IV. Resultados y discusión

Se presentan los resultados tanto de simulación como de implementación física del presente trabajo. Adicionalmente se presentan de acuerdo al nivel de tensión utilizado, gracias a las dos cargas estudiadas.

4.1 Resultados de simulación

En esta sección se presentan los resultados obtenidos bajo los parámetros mencionados en la sección de metodología, haciendo énfasis en: sincronización, la transición al momento de arranque, cambio de día a noche, y viceversa.

4.1.1 Tensión reducida

4.1.1.1 Sincronización

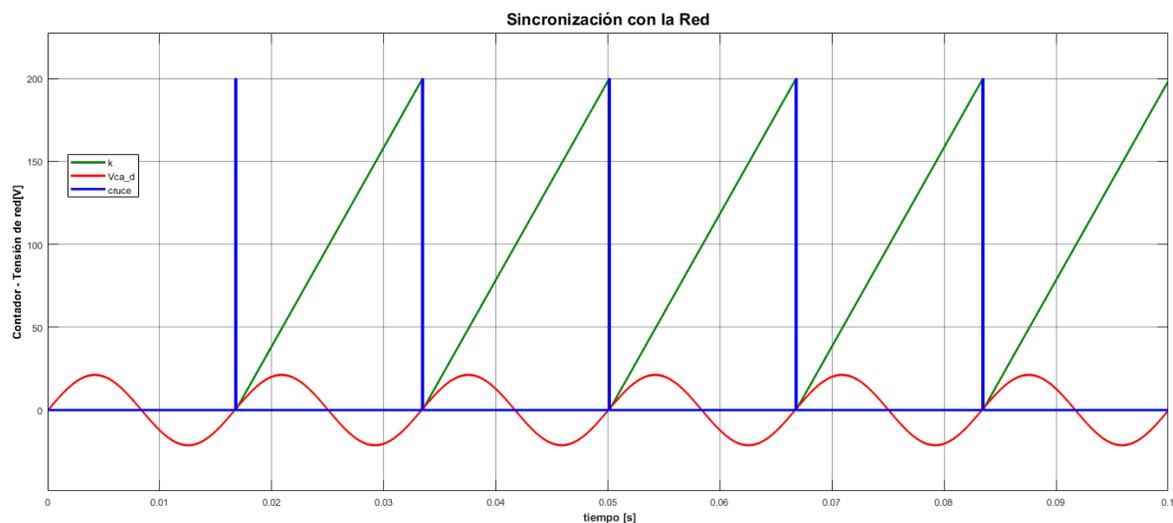


Figura 68. Cruce por cero y sincronización con la red.

Fuente: Autor.

En la figura 68 se muestra como el contador k (verde) comienza a trabajar apenas se detecta el primer cruce positivo por cero (azul) de la tensión de red (rojo). El contador va desde 0 hasta 199. Una vez se logra la sincronización estable entre k y la tensión de red V_{CA} , puede comenzar a trabajar la rutina de control, y la activación de las señales de PWM en los interruptores. Estos últimos empiezan a trabajar luego de establecido

un retardo en número de ciclos, esto con el fin de dar tiempo para visualización de la transición inicial.

4.1.1.2 Arranque del inversor

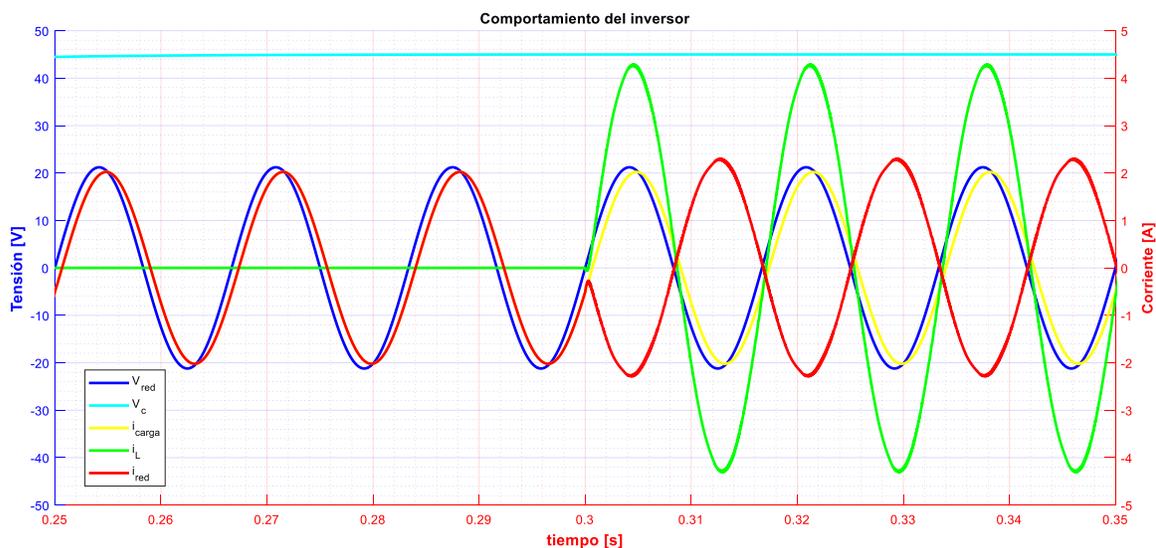


Figura 69. Comportamiento de la corrientes y tensiones del inversor.

Fuente: Autor.

En la figura 69 se muestran la tensión de red (azul), su amplitud es 21.21 Volts pico (V_p), la corriente del inversor (verde), de 0 cuando no ha empezado a trabajar el inversor, y de 4.2 Amperes pico (A_p) si está trabajando, la corriente de carga (amarilla), de aproximadamente 2 A_p , y la corriente de red (roja), de 2 A_p cuando aún no trabaja el inversor, y de cerca de 2.3 A_p trabajando él mismo. El efecto que tiene el control del inversor sobre el comportamiento de la corriente de red es apreciable, ya que cuando la corriente del inversor es cero, la corriente de red y de carga son iguales. Cuando entra en operación el inversor, mientras la corriente de carga se mantiene, automáticamente la corriente de la red se sitúa en contra fase de la tensión de red, es decir, se está inyectando potencia hacia la red. Otro aspecto para tener en cuenta es la tensión del capacitor, el cual debe estar cargado antes de conectar el inversor, por esto el escenario inicial es el día, lo cual se aprecia en la misma figura 69. Se observa

que la tensión del capacitor (verde cian) está su valor nominal, que es de 45 V, cuando entra a trabajar el inversor (verde).

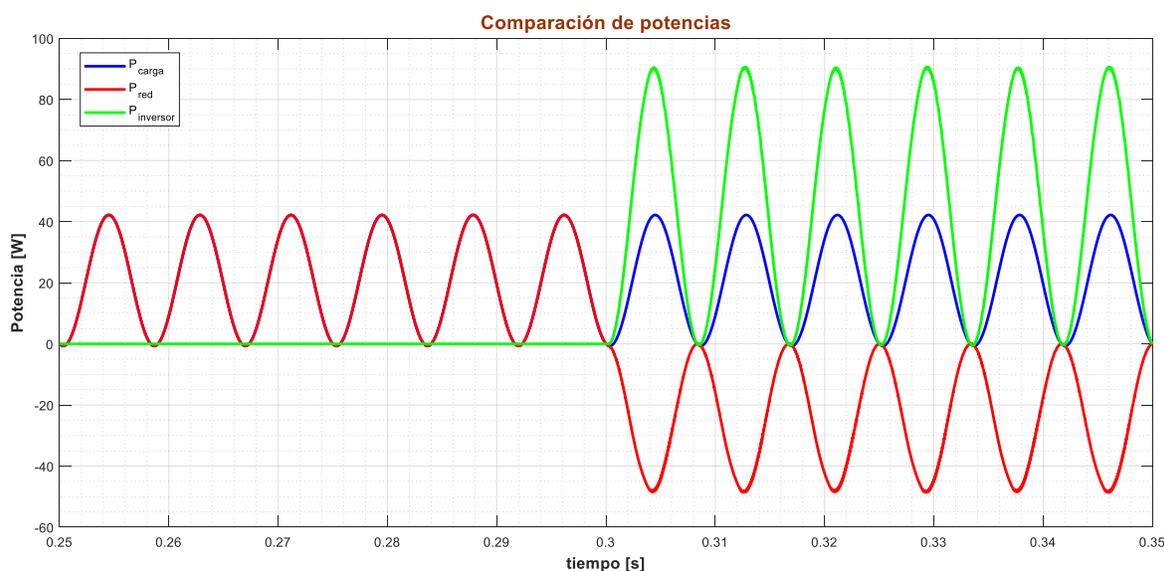


Figura 70. Comportamiento de las potencias;

de carga (azul), de red (roja), y del Inversor (verde). Fuente: Autor.

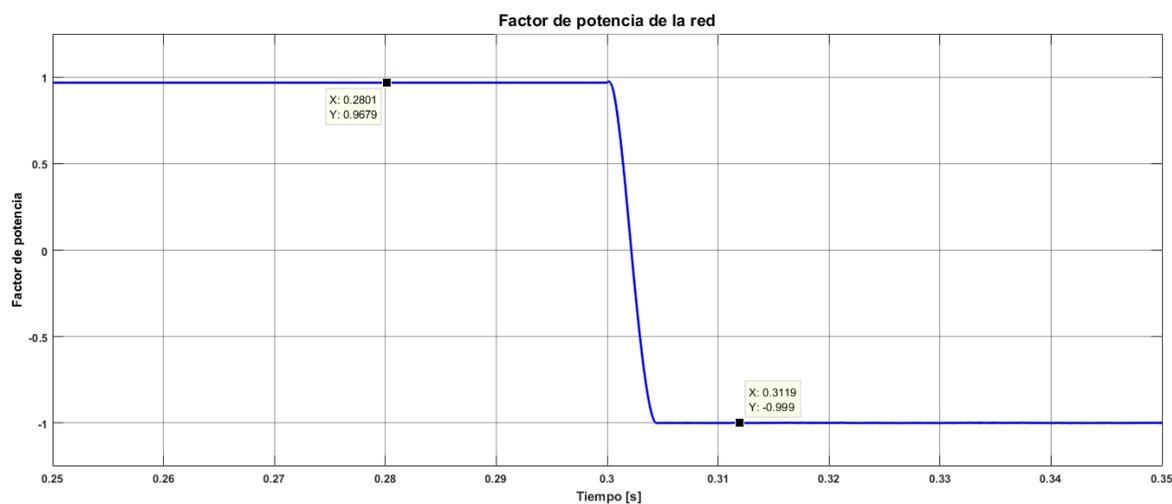


Figura 71. Comportamiento del factor de potencia.

Fuente: Autor.

Como se aprecia en la figura 70, la potencia de carga (azul) y de red (roja) son similares cuando la potencia del inversor (verde) es cero, pero una vez el inversor comienza a inyectar potencia, se observa como la potencia de la red deja de ser positiva y comienza a ser completamente negativa, la potencia del inversor es positiva en su

totalidad mientras la potencia de la carga sigue siendo positiva, pero permanece invariante. Esto significa que tenemos una compensación de factor de potencia casi completa, cercana a 1 en adelante (ver figura 71), y antes, dicho valor de factor de potencia era de 0.9679. La potencia de la carga es de 42 W, y cuando empieza a trabajar el inversor, se entrega una potencia de 90 W, y la red está recibiendo los 48 W restantes.

4.1.1.3 Transición día a noche

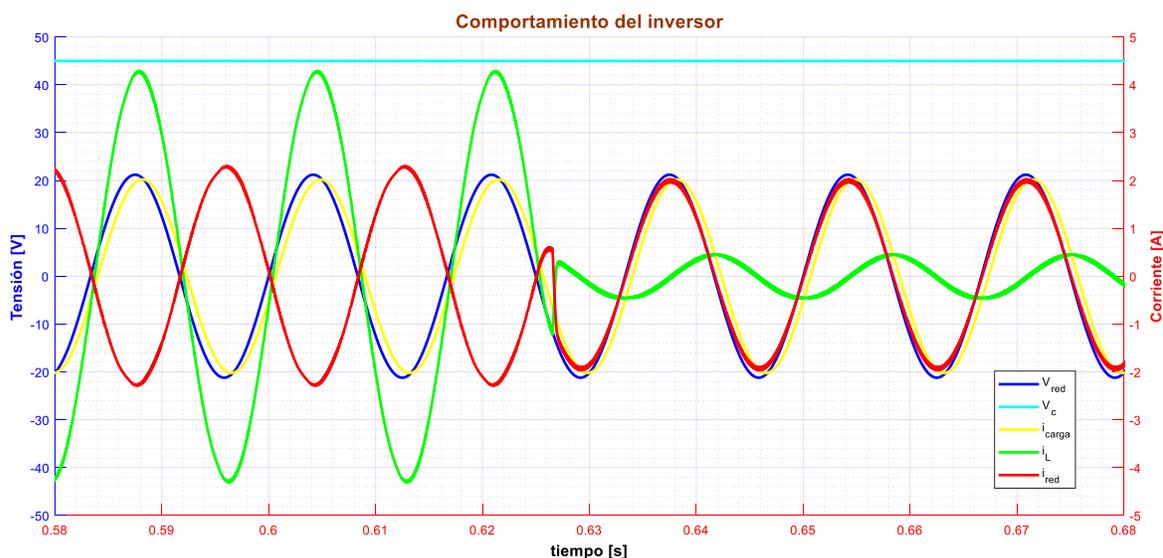


Figura 72. Comportamiento del inversor en la transición de día a noche.

Fuente: Autor.

En la figura 72 se observa cómo se comporta el inversor en la transición de día a noche, donde se aprecia que la corriente de red pasa de estar en contrafase, a estar en fase con la tensión de red, reduciendo a un valor próximo a 2 Ap, la corriente del inversor disminuye su valor de amplitud a alrededor de 0.45 Ap, y lo más importante, la tensión del capacitor permaneció igual, en 45 V, a pesar de que ahora la fuente fotovoltaica ya no está presente. No se ve ningún pico de corriente alta, por lo tanto, la estabilidad en la transición es muy buena. En la figura 73 se detalla cómo la potencia del inversor pasa de ser completamente positiva, a ser oscilante entre -5.65 W y 5.58 W, lo que indica que absorbe una pequeña cantidad de potencia para mantener el nivel de tensión del capacitor constante. Y también se ve que la potencia de la red pasa de

ser menor a cero, a ser completamente mayor a cero. Esto indica que se está realizando una compensación de factor de potencia de 1 en atraso (Ver figura 74).

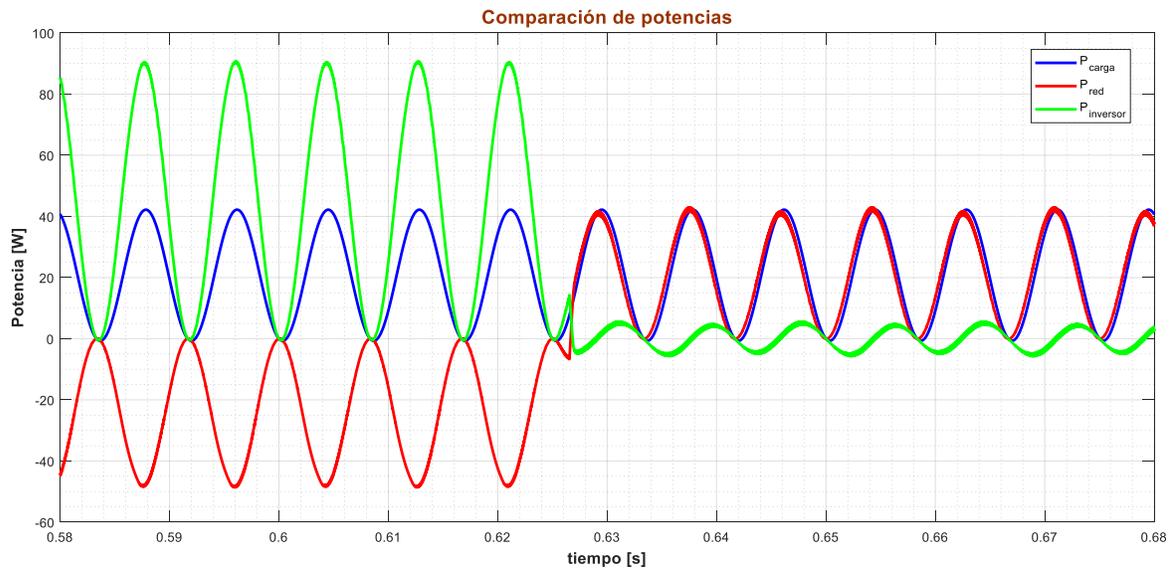


Figura 73. Comportamiento de las potencias en la transición día a noche.

Fuente: Autor.

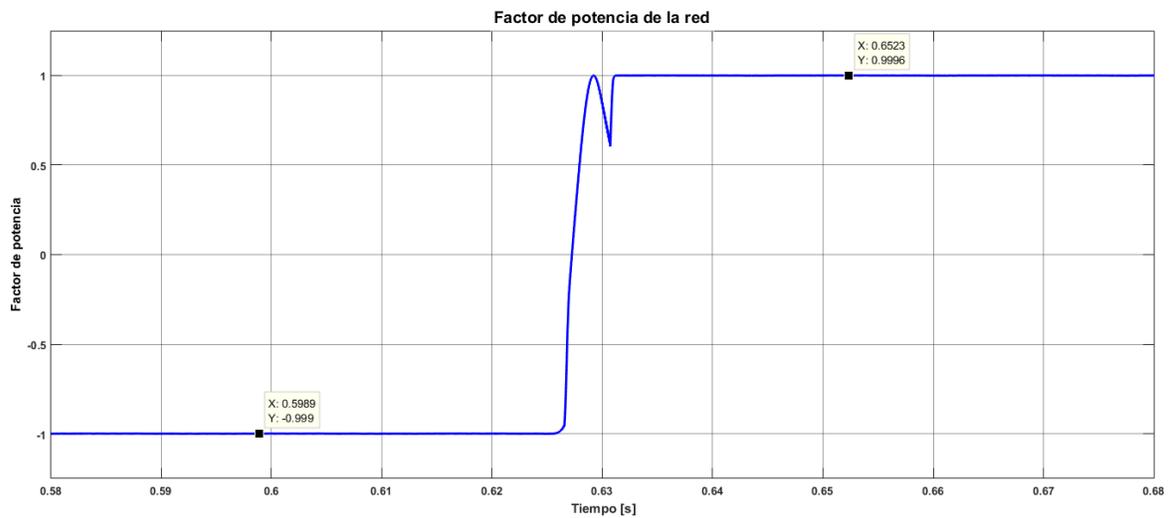


Figura 74. Factor de potencia en la transición día a noche.

Fuente: Autor.

4.1.1.4 Transición de noche a día

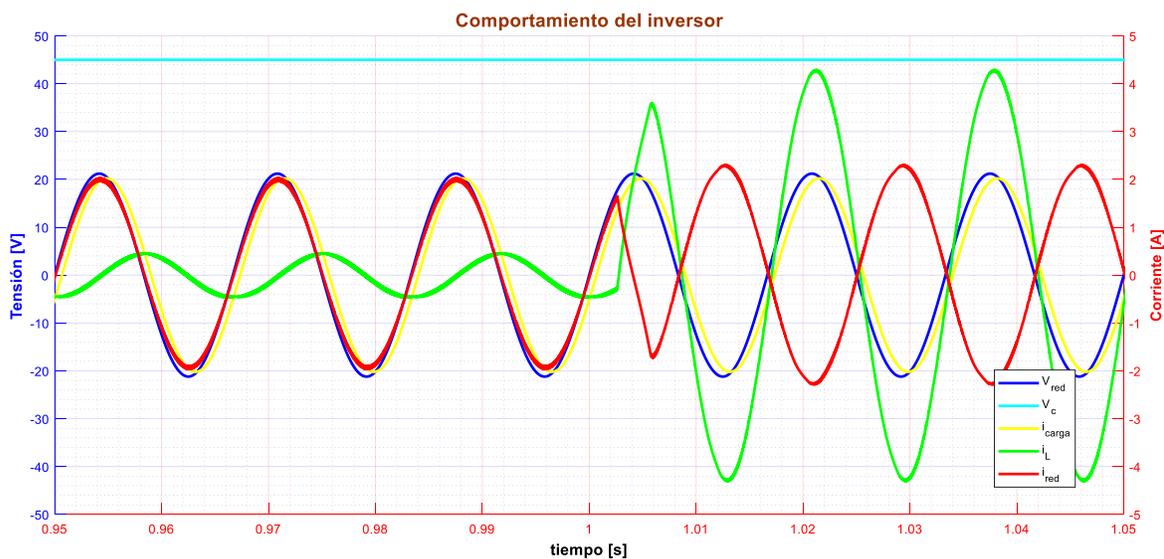


Figura 75. Comportamiento del inversor en la transición de noche a día.

Fuente: Autor.

Como en la anterior sección, en la figura 75 la tensión de capacitor permanece constante. La corriente del inversor vuelve a incrementar su valor al mencionado en el día y la corriente de red vuelve a estar en contrafase.

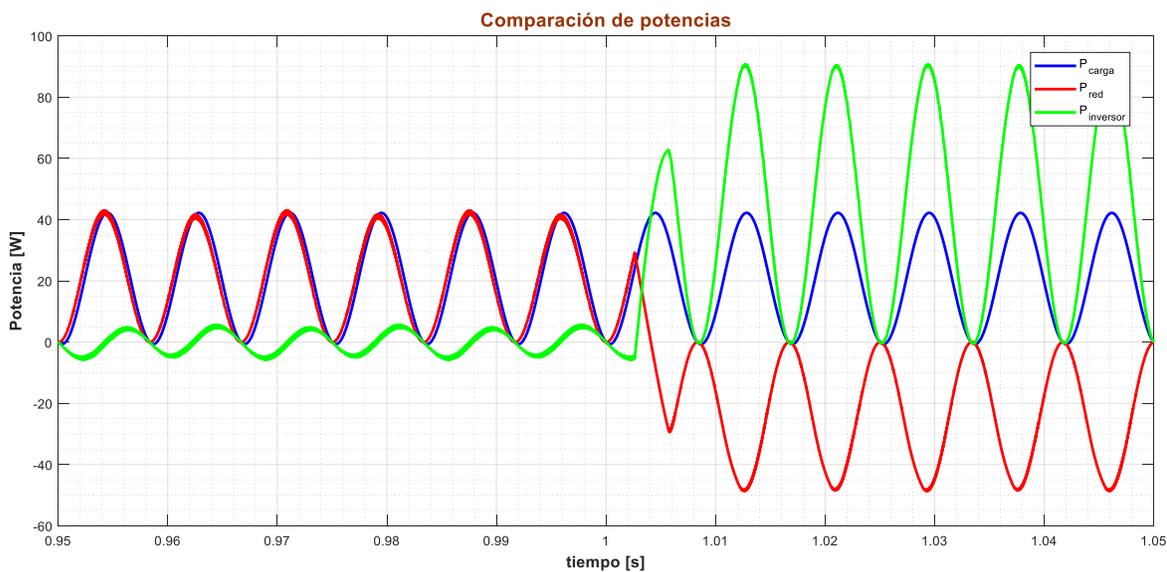


Figura 76. Comparación de potencias en la transición noche a día.

Fuente: Autor.

También se observa que no se presentan picos de corriente indeseados durante la transición, por lo que es estable durante el cambio. En la figura 76 se vuelve a observar la potencia del inversor completamente positiva, y la de la red totalmente negativa, es decir, se está inyectando potencia a la red, y se está compensando el factor de potencia nuevamente cerca de 1 en adelante (ver figura 77).

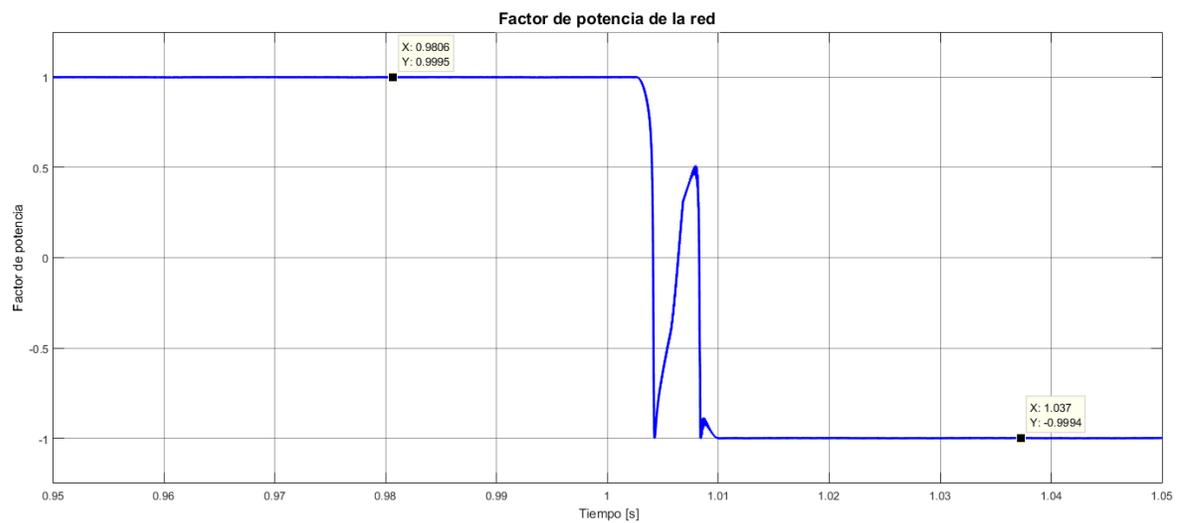


Figura 77. Factor de potencia en la transición de noche a día.

Fuente: Autor.

4.1.2 Tensión nominal

Para la realización de esta simulación se establecen los parámetros mostrados en la tabla 7. Cabe aclarar que el capacitor soporta un máximo de 350 V.

Tabla 7. Parámetros de simulación con carga a tensión nominal. Fuente: Autor.

Parámetro	Valor	Unidad
Amplitud Tensión de red	180	V _p
Tensión de Arreglo PV	300	V _{dc}
Resistencia Filtro	6	Ω
Inductancia Filtro	21	mH
Capacitancia de Entrada	3300	μF
Frecuencia de Red	60	Hz

4.1.2.1 Sincronización

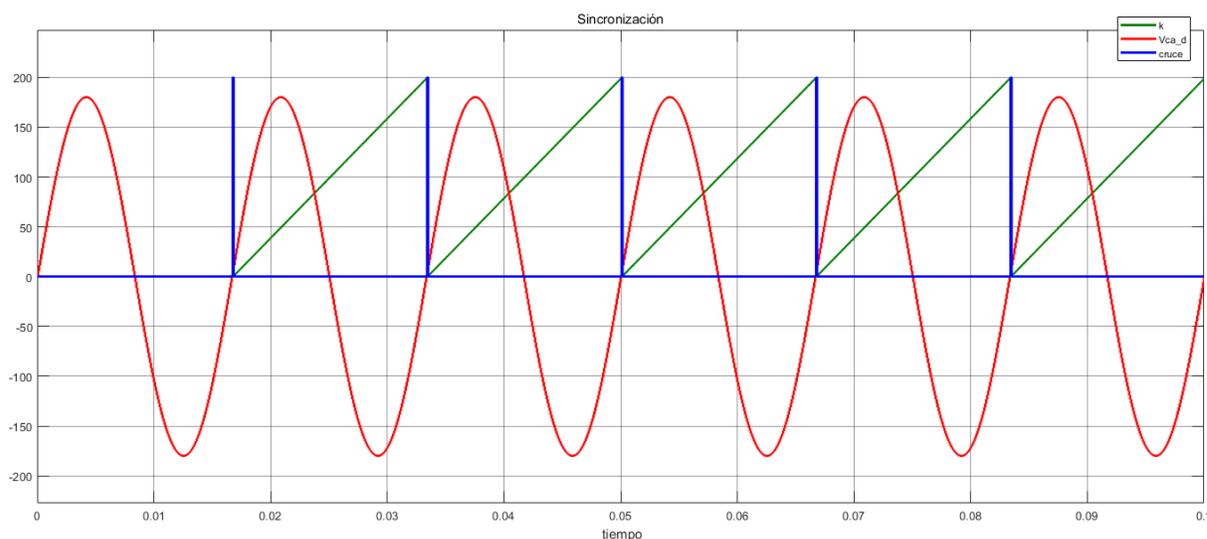


Figura 78. Sincronización con la V_{AC} nominal.

Fuente: Autor.

En la figura 78 se muestra la sincronización del contador de k (verde) con V_{ca} (roja), una vez ocurre el cruce por cero positivo (azul). Al igual que en el caso anterior de baja tensión, k empieza a incrementar apenas detecte el primer flanco positivo, y se reinicia una vez detecte el siguiente cruce.

4.1.2.2 Arranque del inversor

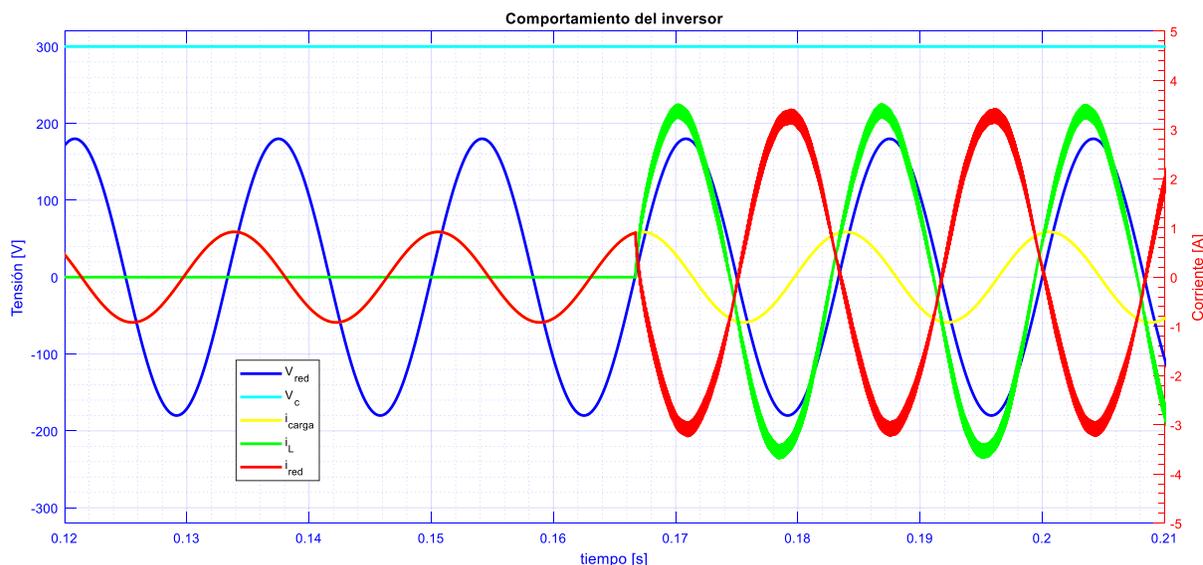


Figura 79. Comportamiento de las tensiones y corrientes del sistema en el arranque del inversor.

Fuente: Autor.

En la figura 79 se detalla el comportamiento de la corriente de red (roja), la cual pasa de ser igual a la corriente de carga (amarilla), a estar completamente en contrafase con respecto a la tensión nominal de la red (azul), una vez la corriente del inversor (verde) deja de ser cero y se suma para lograr que la potencia de la red sea completamente negativa (roja - figura 80). Como es de esperarse, la potencia de la carga (azul) permanece igual, con valor máximo de 100 W y mínimo de -75 W; y la potencia del inversor (verde) es completamente positiva, con valor de 625 W. También se destaca que el factor de potencia viene siendo bajo (ver figura 81), un poco más de 0.2, y cuando arranca el inversor, mientras se da la transición ocurre un pequeño pico hasta el $FP = 1$ en atraso, luego el FP pasa a ser próximo a -1, lo cual indica que es unitario en adelanto, y esto se debe a la inyección de potencia a la red que se está realizando. Se aclara que la tensión del capacitor (verde cian figura 79) tiene su valor constante en todo el tiempo de análisis de la gráfica.

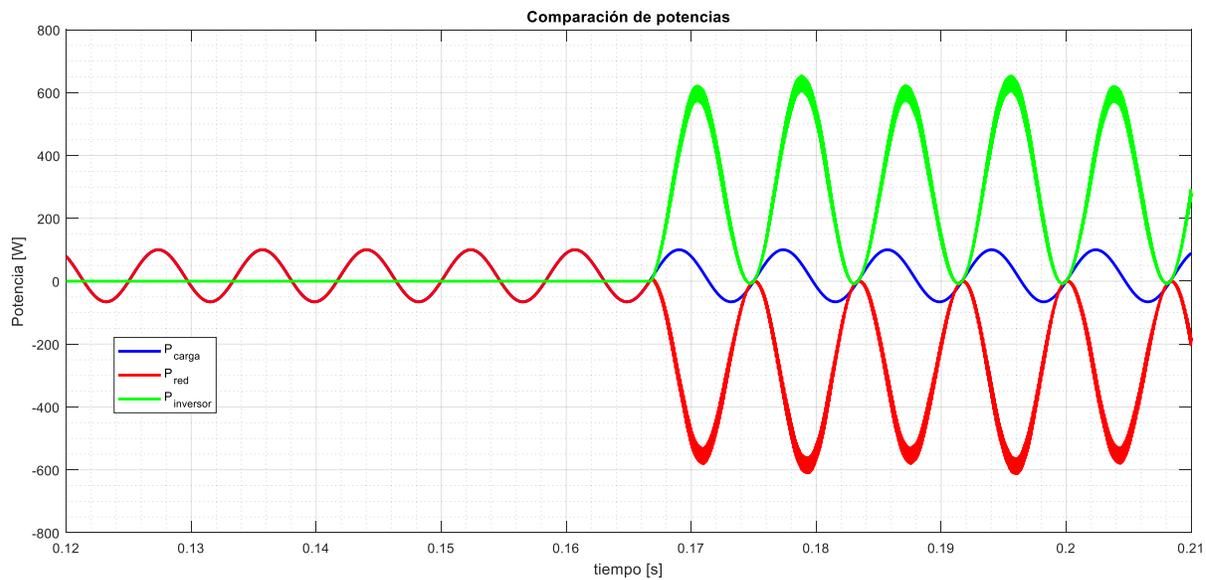


Figura 80. Comportamiento de las potencias en el arranque del inversor a tensión nominal.

Fuente: Autor.

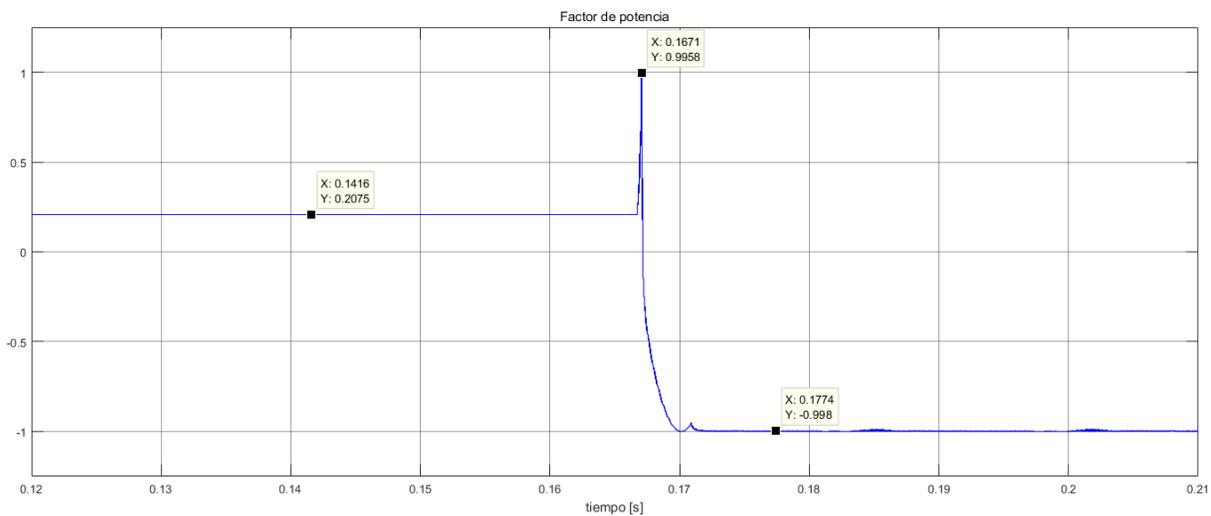


Figura 81. Comportamiento del FP durante el arranque del inversor.

Fuente: Autor.

4.1.2.3 Transición de día a noche

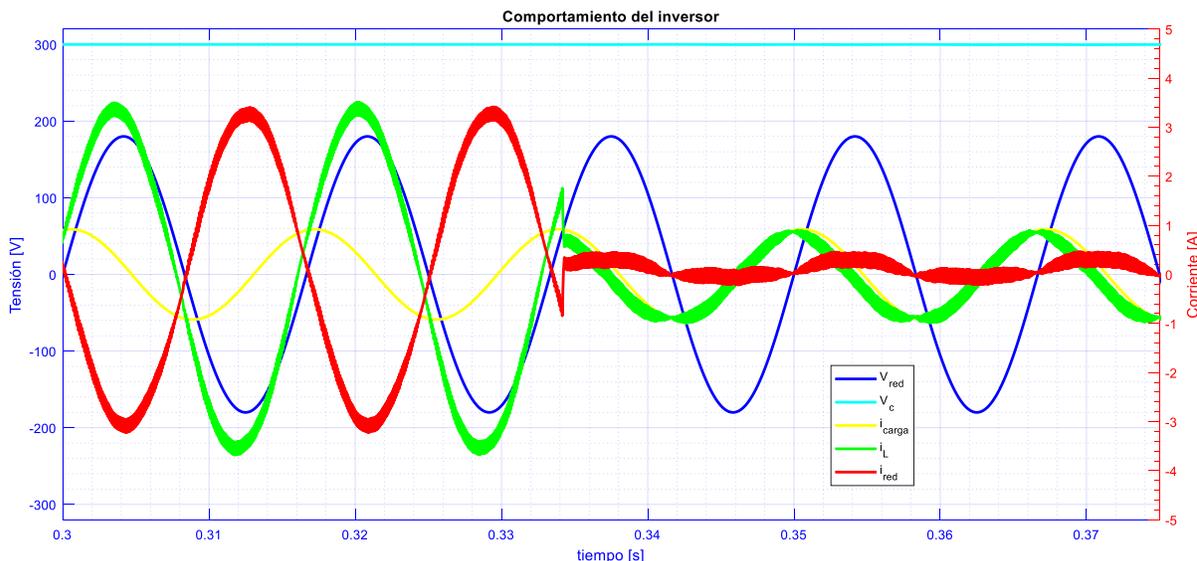


Figura 82. Dinámica de las corrientes y tensiones a V_{AC} nominal.

Fuente: Autor.

En la figura 82 se ve como la i_{red} (roja) pasa de estar en contrafase, a tener una amplitud de corriente de máximo 0.6 A, con un rizado bastante notorio, el cual se debe a que el la corriente del inversor (verde), con una amplitud cercana a 1 A, ya tiene un rizo significativo, el cual es causado por la conmutación de los interruptores. La corriente de carga (amarilla), permanece de igual forma, y la V_c (cian) a pesar de la ausencia de V_{PV} , permanece inalterable de 300 V, el cual es uno de los objetivos del control.

El mismo rizado presentado en la corriente de red, afecta la dinámica de la potencia en la figura 83, donde la potencia en la red (roja) pasa de ser completamente negativa, a ser oscilante en la noche, pero esto es requerido, ya que, para mantener la tensión del capacitor constante, se requiere ese pequeño consumo de potencia por parte del inversor (verde). En la Figura 84 se aprecia como el rizado en la corriente, también afecta el FP en la noche, el cual está oscilando entre 1 y -1 en el tiempo de análisis. Lo importante es que su magnitud, no se estanque en un valor constante inferior a 0.9.

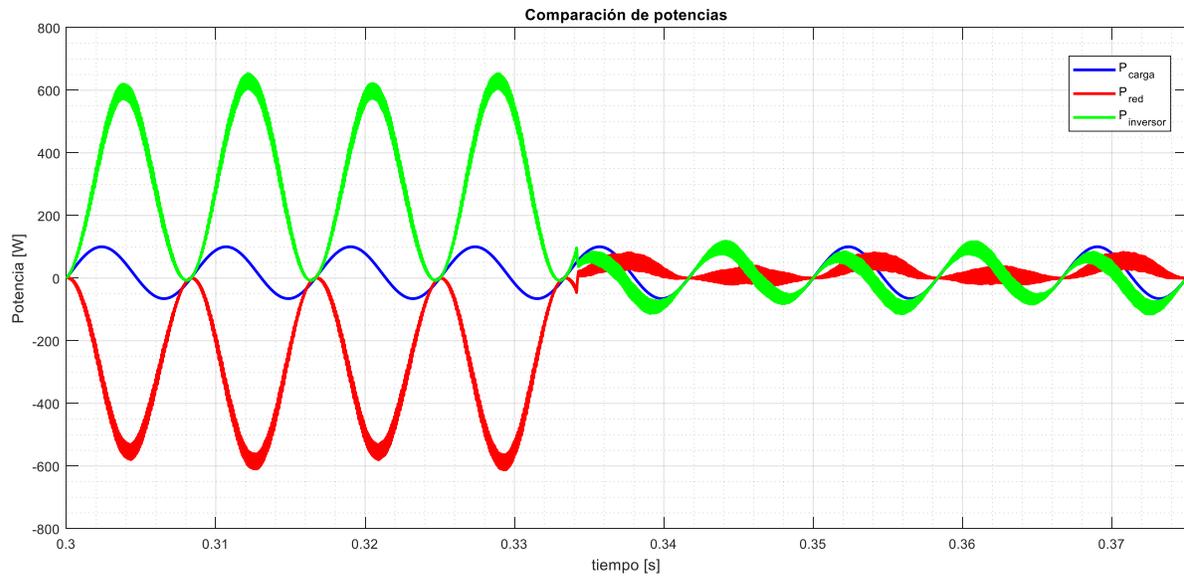


Figura 83. Dinámica de las potencias a V_{AC} nominal.

Fuente: Autor.

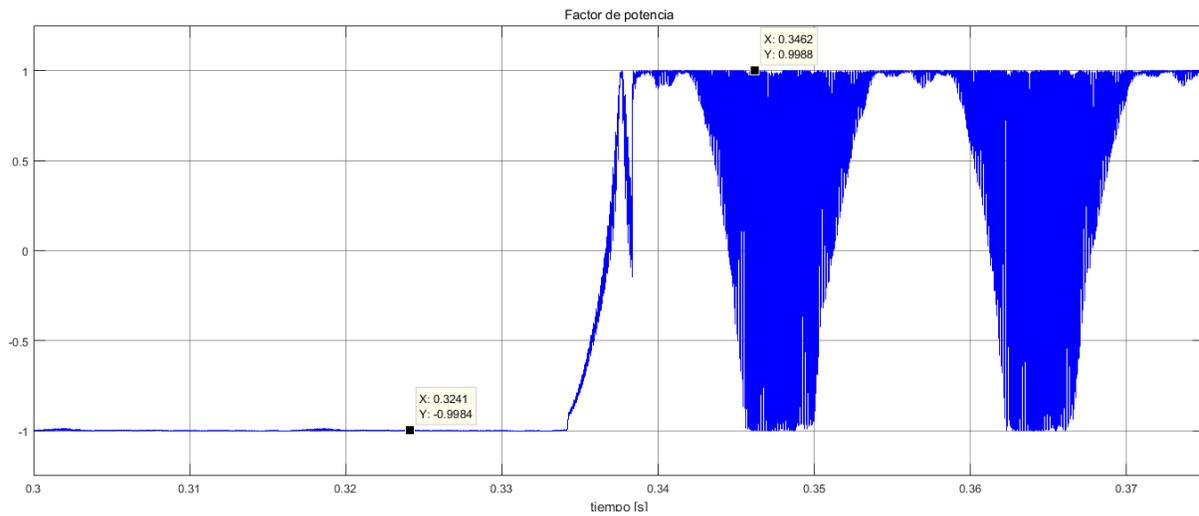


Figura 84. Comportamiento del FP en la transición día - noche con V_{AC} nominal.

Fuente: Autor.

4.1.2.4 Transición de noche a día.

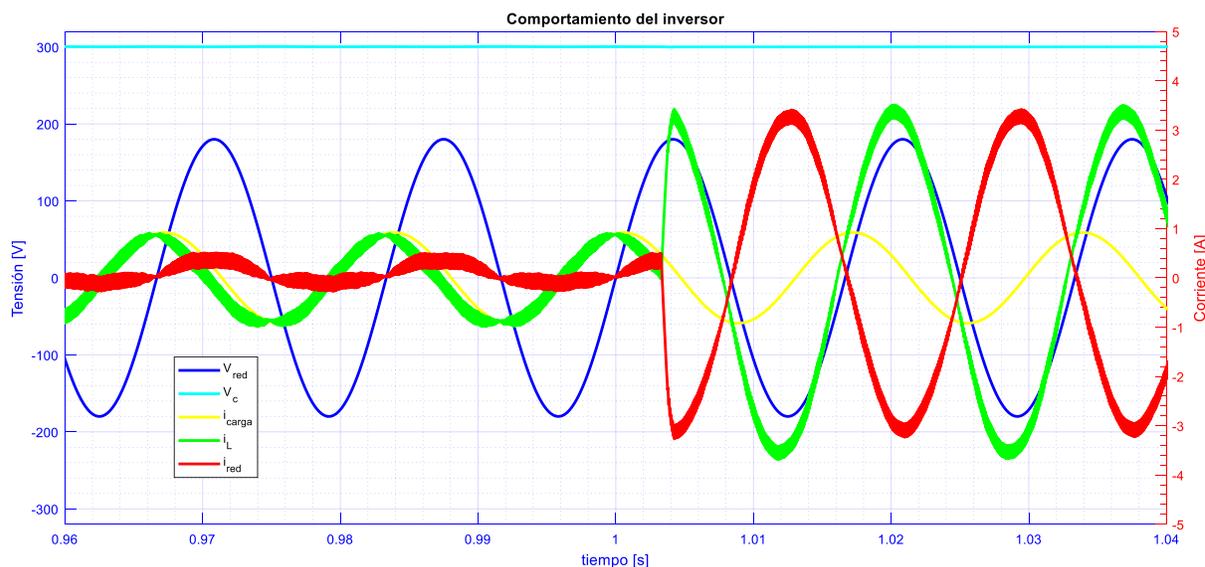


Figura 85. Dinámica del sistema en la transición noche a día.

Fuente: Autor.

La corriente de red (roja - figura 85) tiene un comportamiento estable durante la transición, no hay impulsos ni mayor deformación de la onda y se reduce un poco el rizado, debido a que la corriente del inversor (verde), tiene una magnitud mayor (Aprox. 3.4 Ap). V_c (cian) se sigue manteniendo estable en 300 V, lo que garantiza la estabilidad en toda la transición. En la figura 86 la potencia del inversor (verde) vuelve a ser completamente positiva, con un máximo de 625 W, alimentando tanto a la carga (azul) que no varía en forma ni magnitud, como a la red (roja), la cual es completamente negativa, con valor de 610 W. En la Figura 87, se aprecia que el valor de FP vuelve a ser -1, sin variación significativa, luego de un pequeño pico de estabilización.

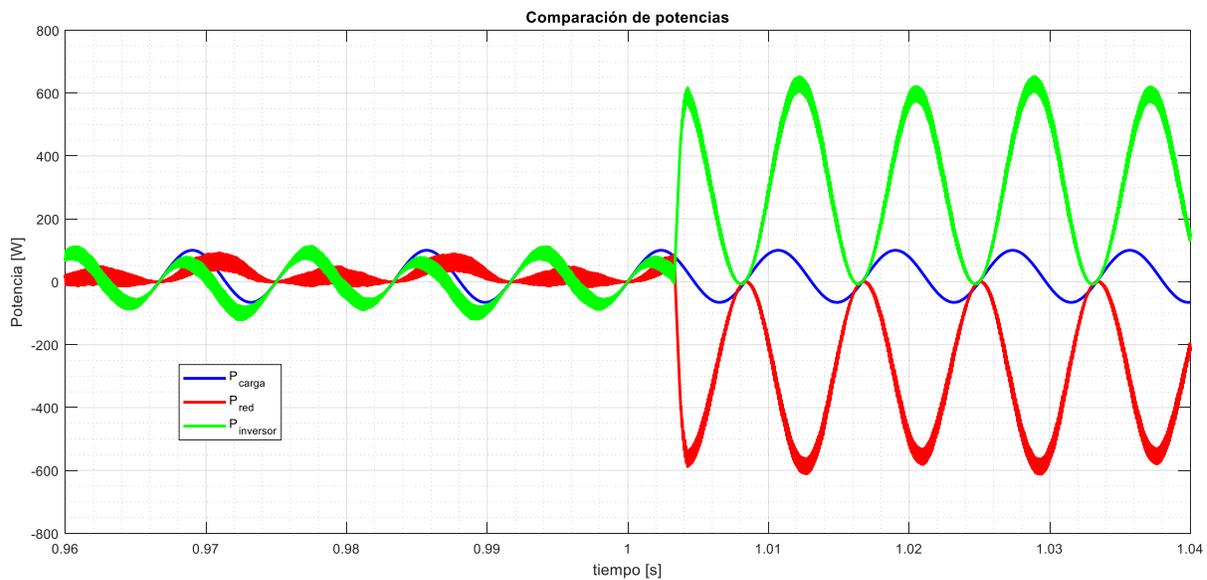


Figura 86. Dinámica de las potencias en la transición noche a día.

Fuente: Autor.

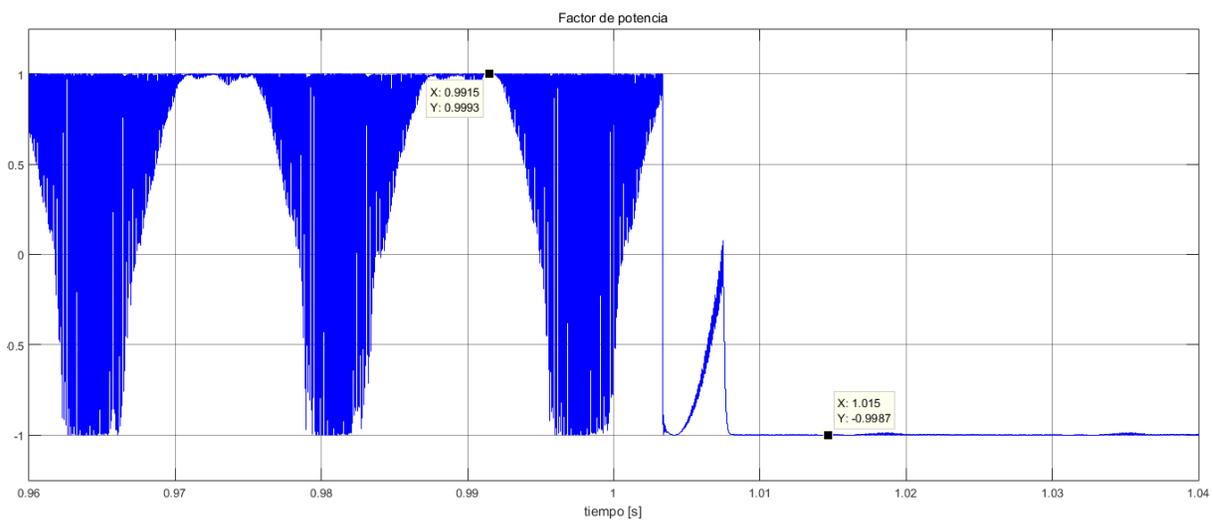


Figura 87. Comportamiento del FP en la transición de noche a día.

Fuente: Autor.

4.2 Resultados experimentales.

Aquí se muestran los resultados de la implementación física del modelo planteado. La primera prueba se realizó con la tarjeta de control PSOC4, y las siguientes se desarrollaron con la PSOC5. Se debe de tener en cuenta que el osciloscopio solo tiene cuatro canales de visualización. Se recuerda que estas pruebas ya se realizan una vez ejecutado el protocolo de conexión y energizado.

4.2.1 Prueba con PSOC4.

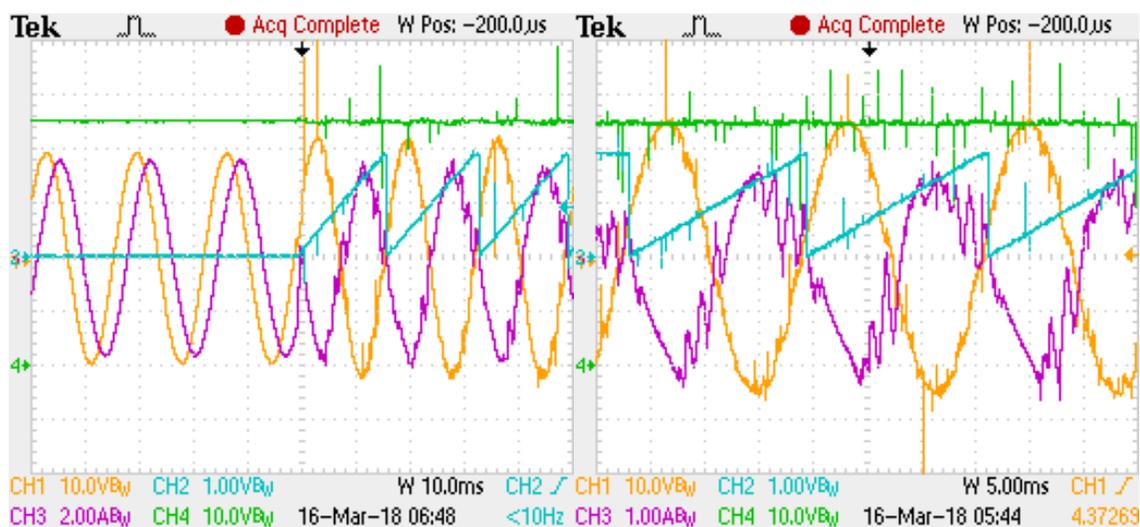


Figura 88. Pruebas con PSOC4.

V_{AC} (amarilla), i_{red} (violeta), contador k (azul), V_c (verde). (a) Izquierda: Arranque, (b) Derecha: Funcionamiento de día ampliado. Fuente: Autor.

La figura 88 muestra las primeras pruebas realizada con el PSOC4, donde se encontraron varias deficiencias por mejorar:

- Por la limitación de la velocidad de operación de es esta tarjeta, se operó con una frecuencia de muestreo máxima de 4.8 kHz, es decir, con un índice de modulación de 80 muestras por ciclo de red, ocasionando una señal de i_{red} bastante deformada, lo que incide en una distorsión armónica muy elevada.
- No hubo estabilidad en la sincronización con la red, el contador fue impreciso.

- Los módulos de PWM no tienen forma de anular la señal de salida en el inicio, mientras se sincroniza el control, lo que ocasionada que la red quedara en cortocircuito durante el intervalo de arranque del control, ya que Q3 y Q4 permanecen activados. Esto se aprecia en la figura 88 (a), donde la corriente de red fue elevada sin empezar a trabajar el control.
- Si no operaba bien de día, no había garantía de que en la noche funcionara, y mucho menos en las transiciones.

Por las razones anteriormente expuestas, se procedió a cambiar de tarjeta de control, y así poder continuar con el desarrollo del trabajo de investigación.

4.2.2 Pruebas con PSOC5 en tensión reducida

4.2.2.1 Sincronización

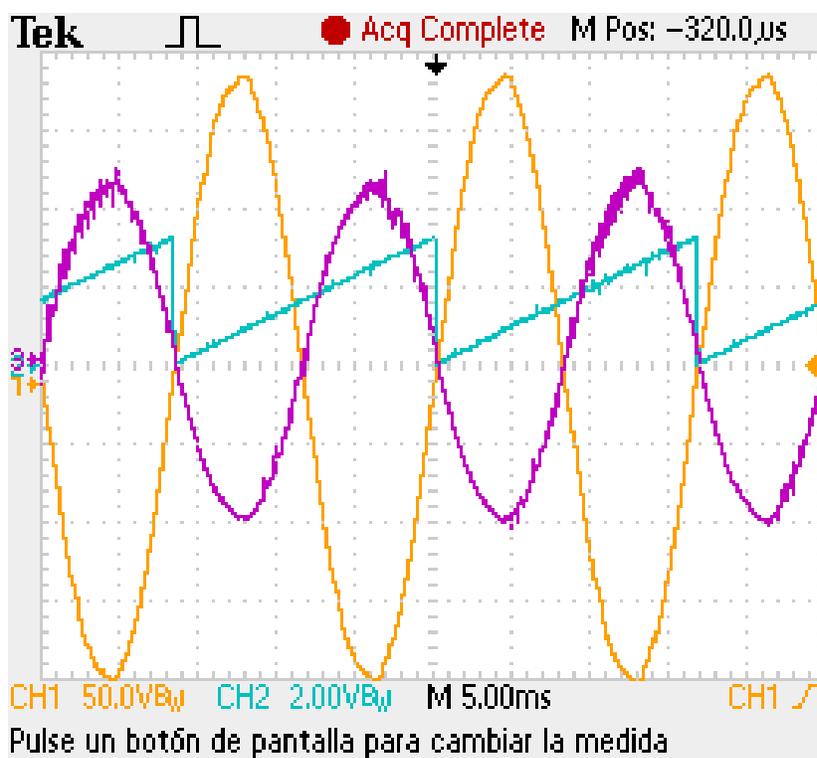


Figura 89. Sincronización de la señal de contador k con la tensión de red.

Fuente: Autor.

En la figura 89 se muestra como la señal del contador k (azul), se sincroniza perfectamente con V_{CA} (amarilla), mostrando también como se encuentra en contrafase con i_{red} (violeta).

4.2.2.2 Arranque del inversor

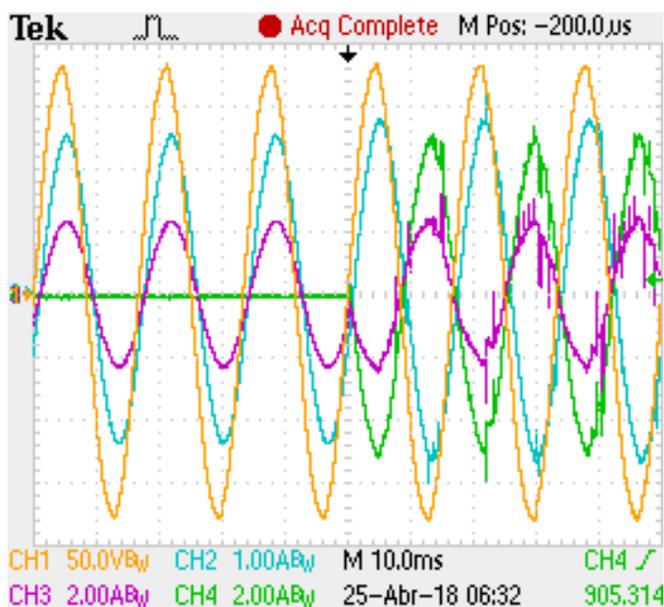


Figura 90. Comportamiento de las corrientes: del inversor (verde), de red (violeta), de carga (azul) y tensión de red (amarillo).

Fuente: Autor.

En la figura 90 se muestra el comportamiento de las corrientes: de carga (azul) con escala de 1 Amperio por división (A/div), de red (violeta) con escala de 2 A/div, y del inversor (verde) con escala de 2 A/div. Por último, la tensión de red (amarilla) con escala de 50 Volts por división (V/div). Se aclara que se cambió la escala entre la corriente de red y la corriente de carga para apreciar su diferencia. Inicialmente se ve el desfase producido por la carga el cual es mínimo, como aparece en la figura 30. Cuando empieza a trabajar el inversor, casi automáticamente se nota como la corriente de red se establece en contrafase, con una amplitud cercana a los 2.2 Ap, la corriente de la carga se incrementa ligeramente de 2.6 a 2.8 Ap, lo cual se debe a que dentro de la carga se tiene un transformador real, funcionando como elevador. La corriente del inversor se establece con una amplitud aproximada de 5 Ap. Tanto en la corriente del inversor como en la corriente de red se notan unos pequeños picos, esto es debido

a que en la conmutación de los interruptores IGBT, se estableció un tiempo muerto por seguridad de estos dispositivos, pues los tiempos de activación y desactivación de éstos no es cero. También es rescatable que el control está iniciando a trabajar exactamente en un cruce por cero de la tensión de red, lo cual es lo que se establece como condición de trabajo.

4.2.2.3 Transición de día a noche

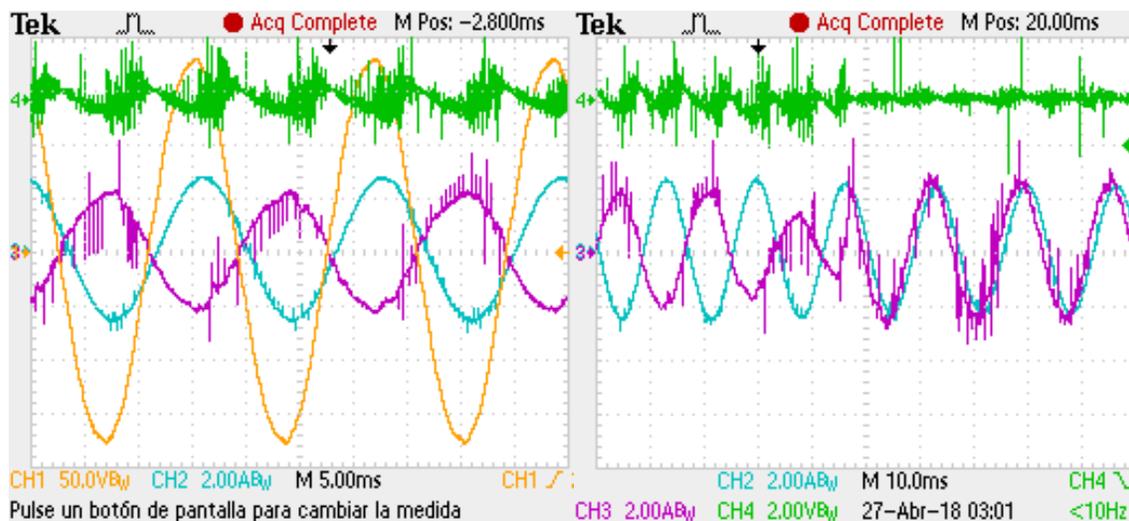


Figura 91. (a) izquierda: funcionamiento de día. (b) derecha: transición de día a noche.

Fuente: Autor.

En la figura 91 (a) se muestra el funcionamiento para el día, manteniendo las convenciones mencionadas en el caso anterior, solo que, para este caso, i_{carga} (azul) y i_{red} (violeta) tienen la misma escala en amplitud, de 2 A/div. Cuando la tensión V_{PV} está presente, la tensión V_C (verde) estando en su nivel medio de 45 V, tiene oscilaciones sostenidas, de alrededor de 2 V de amplitud, las cuales se pueden considerar mínimas, ocasionadas por la misma dinámica de carga y descarga del capacitor, y su interacción con la V_{CA} . Se observa que a las señales de corriente aún en la transición (ver figura 91 (b)) las afecta la conmutación de los interruptores, pero que la oscilación en la tensión del capacitor se reduce considerablemente en la noche, además permanece estable. Se retiró la señal de V_{CA} , para evitar sobresaturar la gráfica durante la transición. Aun así, se logra apreciar que la corriente de red pasa de estar en contrafase, a estar en fase con la tensión de red, lo cual se ve claramente en

la sección posterior (ver figura 92). También se presentan pequeñas deformaciones en la i_{red} en sus extremos, y esto es debido a la forma de onda de la corriente del inversor, la cual introduce deformaciones en la señal, aún este compensando. Adicionalmente, no se presentan picos indeseados en los niveles de corriente durante la transición. La corriente de carga no muestra variación apreciable.

4.2.2.4 Transición de noche a día

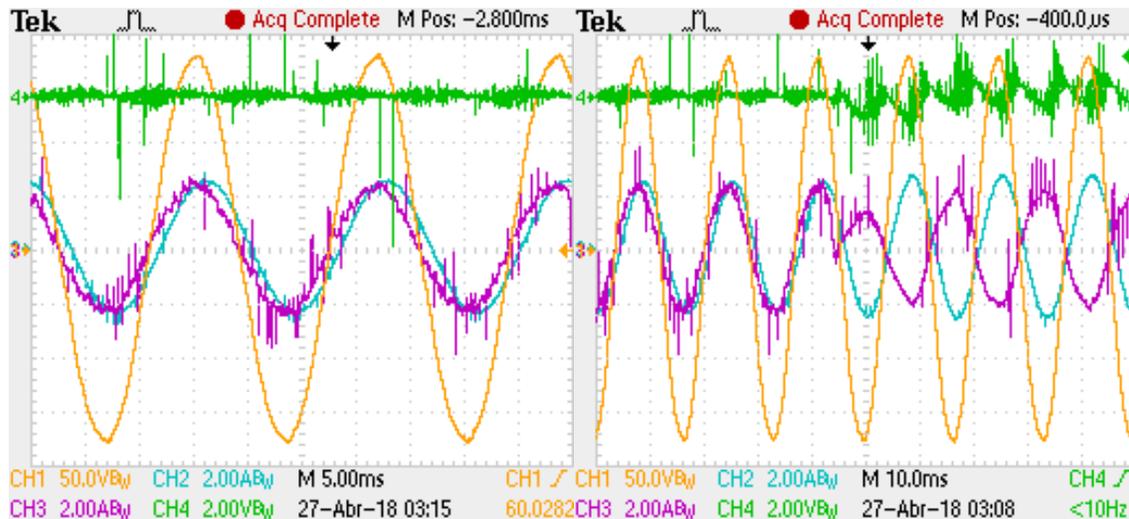


Figura 92. (a) Izquierda: funcionamiento en la noche. (b) Derecha: Transición de noche a día.

Fuente: Autor.

En la figura 92 se detalla la operación de noche del sistema, donde se observa claramente la i_{red} (violeta) en fase con la V_{CA} (amarilla), y la amplitud de ambas corrientes es cercana a 2.4 A, mostrando la i_{red} algunos picos producto de la conmutación. En la transición se observa que V_C (verde) pasa de tener oscilaciones reducidas de menos de 1 V, a tener oscilaciones cercanas a 2 V, siempre teniendo presente que está cargado a 45 V. La i_{red} pasa a estar nuevamente en contrafase de V_{CA} , sin picos exagerados en la transición, reduciendo solo un poco su amplitud durante el día, lo cual demuestra la estabilidad del sistema.

4.2.3 Pruebas con PSOC5 con tensión nominal

4.2.3.1 Arranque del Inversor

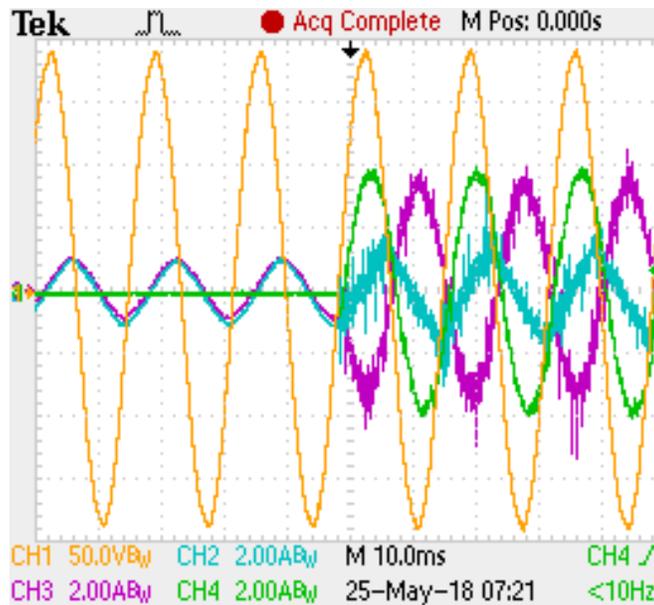


Figura 93. Arranque del inversor en la implementación con V_{AC} nominal en la carga.

Fuente: Autor.

En la figura 93 se muestran las corrientes en el punto de conexión. En un comienzo, la i_{red} (violeta) y la i_{carga} (azul), se ven desfasadas con respecto a V_{CA} (amarilla), como se ve en la Figura 32, luego cuando la i_L (verde) inicia, se observa como la i_{carga} se contamina con pequeños picos de corriente, esto debido a la conmutación de los interruptores, mientras que la i_{red} , a pesar del rizado que presenta, está en contrafase con respecto a la V_{CA} , por ello, se está inyectando potencia a la red. El rizado presentado en la corriente de carga es debido a que el motor es una carga de tipo no lineal, que es susceptible a los armónicos generados por el inversor. En la figura 94 se muestra una ampliación de escala de las corrientes, para el comportamiento de día, donde se ve claramente que la corriente del inversor no tiene un rizado pronunciado, como si lo tiene la i_{carga} , y a su vez la V_{CA} . Esto puede generar una distorsión armónica considerable en la red. Adicionalmente, se tiene en la figura 95, el comportamiento de V_{PV} (verde), y de V_C (azul), donde la magnitud de la primera es de alrededor de 310 V,

y la segunda es de 305 V, donde la diferencia presentada es correspondiente a la caída de tensión causada por el diodo conectado entre ellos.

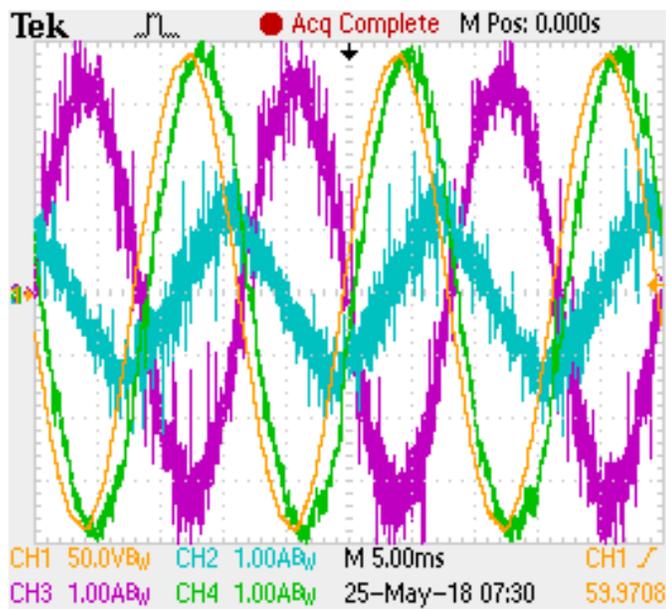


Figura 94. Comportamiento de las corrientes en el día con escala de 1 A/div.

Fuente: Autor.

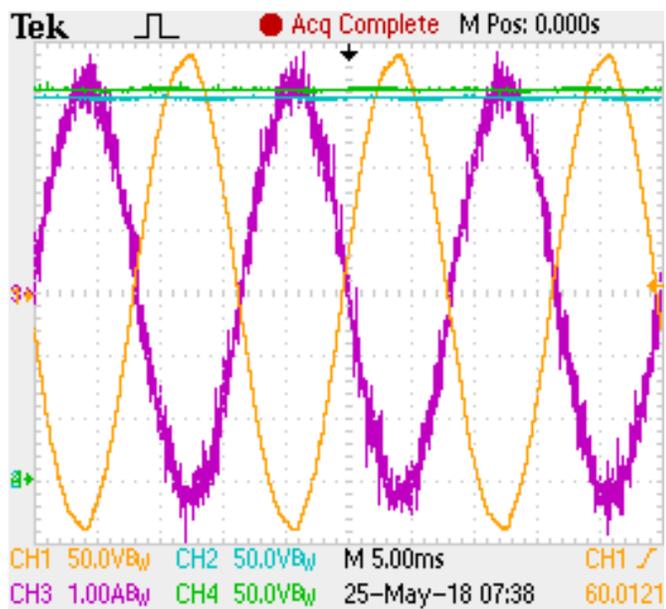


Figura 95. Comportamiento de V_{PV} (Verde) y V_C (azul) durante el día.

Fuente: Autor.

4.2.3.2 Transición de día a noche

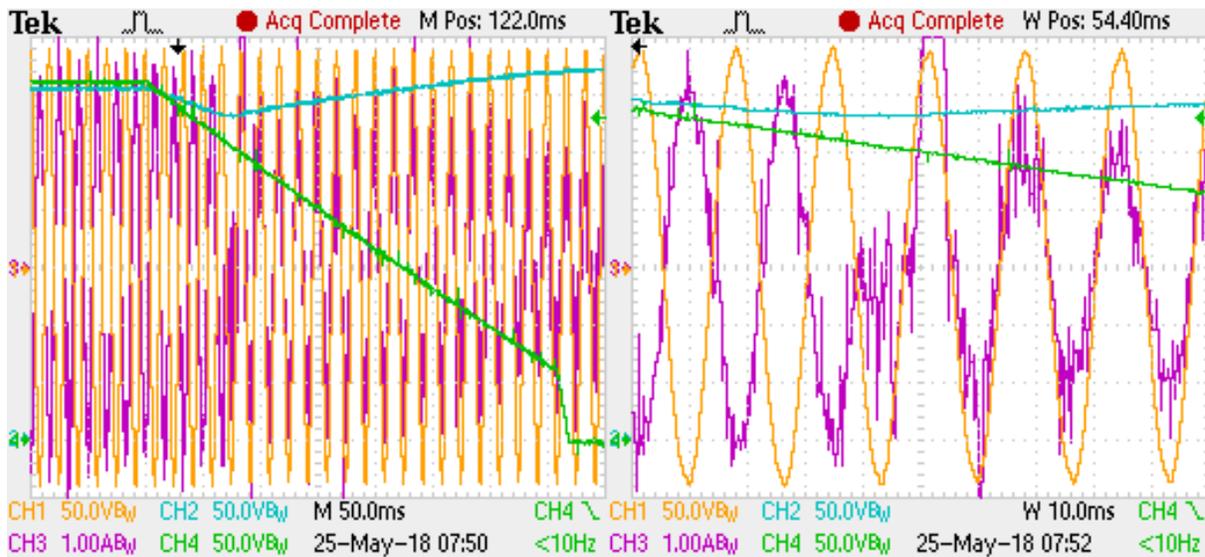


Figura 96. Transición de día a noche.

(a) Izquierda: Comportamiento de V_{PV} (verde) y V_C (azul), (b) Derecha: ampliación para detallar la i_{red} (violeta).
Fuente: Autor.

Teniendo en cuenta que la V_{PV} (verde - figura 96) tarda varios ciclos en caer a cero, se observa como V_C (azul) tiende a caer cercano al umbral de día, que está en aproximadamente 260 V, y luego se recupera, luego de una oscilación de unos cuantos ciclos. Durante esta transición, la i_{red} (violeta) sufre un pico de magnitud superior a 4 A, que es el rango de medición del equipo en ese momento, pero luego de eso, la corriente no supera dicho rango. Se observa que la forma de la i_{red} posee varios picos, y estos se deben a la conmutación de los interruptores. Cabe mencionar, que mientras V_C no sea constante, la amplitud de la i_{red} tampoco lo es. Lo que también se debe evidenciar es que mientras sea de día, i_{red} está en contrafase de V_{CA} , y cuando se hace noche, está en fase. En la figura 97 se observa el comportamiento en estado estable en la noche, donde se ve que, a pesar de que la i_{red} tiene picos de corriente, se trata de mantener en fase con V_{CA} . En la figura 98, se observa que V_C tiene un valor de aproximadamente 320 V, lo cual puede ser por el error en la conversión del ADC, ya que la referencia establecida es de 300 V.

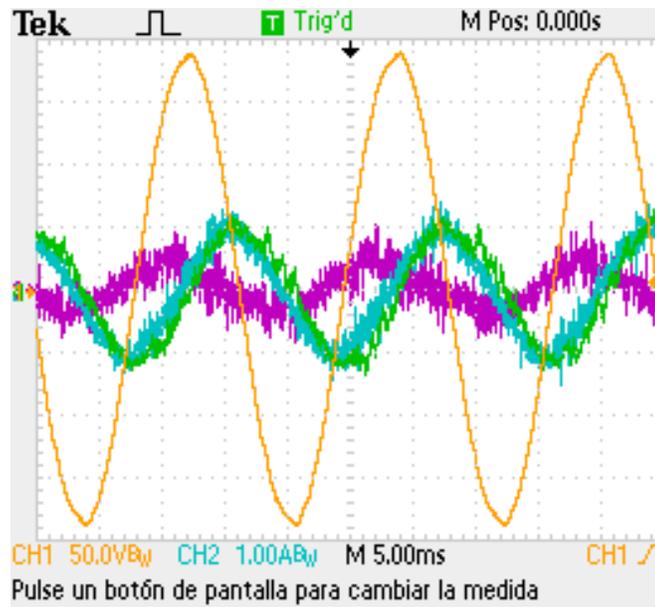


Figura 97. Comportamiento del sistema en estado estable durante la noche.

V_{AC} (amarilla), i_{red} (violeta), I_{carga} (azul) e i_L (verde). Fuente: Autor.

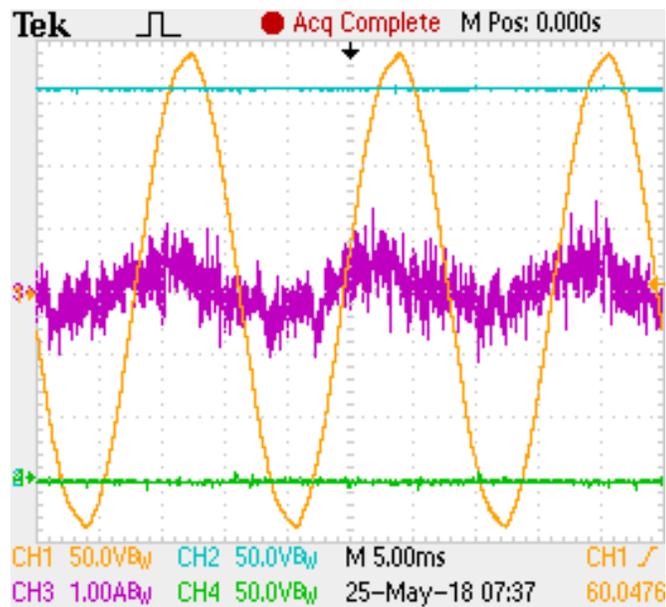


Figura 98. Comportamiento de V_C (azul) y V_{PV} (verde) durante la noche.

Fuente: Autor.

4.2.3.3 Transición de noche a día

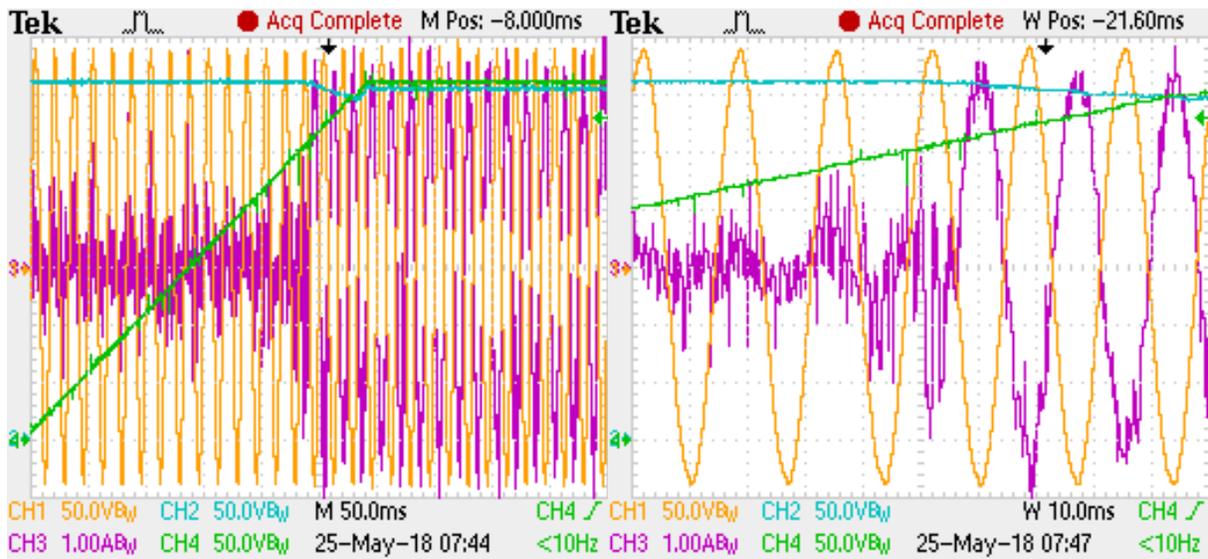


Figura 99. Transición de noche a día.

(a) Izquierda: V_{PV} (verde) y V_C (azul), (b) Derecha: Ampliación para detallar I_{red} (violeta). Fuente: Autor.

Como se observa en la figura 99, la i_{red} (violeta) pasa de ser mínima, con desfase reducido con picos de amplitud mínima, causados por la conmutación, a tener una amplitud estable, y estar en contrafase nuevamente. V_C (azul) baja un poco de magnitud, haciéndose menor que V_{PV} (verde), debido a la caída de tensión en el diodo. Hasta que V_{PV} no supera el umbral de día, no presenta el cambio en V_C . Comparada con la anterior, esta transición es más suave que la de día a noche.

V. Conclusiones

- Un inversor fotovoltaico puede configurarse para que corrija el factor de potencia de día y de noche.
- Se puede diseñar la instrumentación requerida para evaluar un inversor fotovoltaico interconectado a red.
- Se encontró e implementó una metodología adecuada para el cálculo de la referencia de corriente del inversor.
- Se implementó un algoritmo de control con la propiedad de pasividad, en una tarjeta de control PSOC, para seguir una referencia de corriente y tensión deseada.
- Con cargas de tipo pasivas (RL), se realiza la compensación de FP, tanto de día como de noche.
- Con cargas activas (Motor), se realiza la compensación de FP de día y de noche, pero se introduce distorsión armónica a la red.

VI. Recomendaciones

- Analizar los componentes de armónicos que se le están inyectando a la red, y tratar de corregirlos en una futura implementación.
- Diseñar tarjetas de medición de variables eléctricas con un rango más amplio, para verificar funcionamiento con cargas especiales.
- Implementar el sistema con un filtro de conexión a red más robusto, para evitar los picos de corriente en la conmutación.

VII. Referencias

- Buso, S., & Mattavelli, P. (2006). *Digital Control in Power Electronics* (First ed.). United States of America: Morgan & Claypool. doi:10.2200/S00047ED1V01Y200609PEL002
- CHROMA ATE INC. (2017). *DC Power Supply Model 62000H Series*. Recuperado el 30 de Abril de 2018, de <http://www.chromaate.com/File/DownLoad/44324>
- Comisión Federal de Electricidad (CFE). (2004). Instructivo para la interpretación y aplicación de las tarifas para el suministro y venta de energía eléctrica. Ciudad de México.
- Comisión Federal de Electricidad (CFE). (2017). *Factor de Potencia*. Recuperado el 10 de 02 de 2017, de <http://www.cfe.gob.mx/industria/ahorroenergia/lists/ahorro%20de%20energia/attachments/3/factordepotencia1.pdf>
- Cypress Semiconductor Corporation. (2015). CY8CKIT-042 PSoC® 4 Pioneer Kit Guide. San Jose, CA.
- Cypress Semiconductor Corporation. (2015). Sequencing Successive Approximation ADC (ADC_SAR_Seq) 2.0. San Jose, CA.
- Cypress Semiconductor Corporation. (2018). CY8CKIT-059 PSoC® 5LP Prototyping Kit Guide. San Jose, CA.
- D. L., & M. C. (2014). Design and control of an advanced PV inverter. *Elsevier Ltd - Solar Energy*, 110, 533-542.
- Escobar, G., Peña Quintal, A., & López Sánchez, M. (2016). IPES-2K5-4510 Manual de usuario. Merida, Yucatan, México.
- Flota, M., Ali, B., Villanueva, C., & Perez, M. (2016). Passivity-Based Control for a Photovoltaic Inverter with Power Factor Correction and Night Operation. *IEEE LATIN AMERICA TRANSACTIONS*, 14(8), 3569 - 3574.

- Fosler, R., & NVNS, S. (10 de Mayo de 2017). *AN76496 - PSoC® 5LP - Solar Microinverter Control Design*. Recuperado el 6 de Noviembre de 2017, de <http://www.cypress.com/documentation/application-notes/an76496-psoc-5lp-solar-microinverter-control-design>
- I. B., & H. W. (2011). Power Factor Correction Circuits. En M. H., *Power electronics handbook: devices, circuits and applications* (Tercera ed., págs. 526-529). Orlando, Florida, USA: Elsevier. Recuperado el 13 de 03 de 2017
- I. N., X. W., & M. A. (2015). *Impact of Micro-inverter Reactive Power Support Capability in High Penetration Residential PV Networks*. New York, USA: IEEE.
- Ogata, K. (1996). *Sistemas de control en tiempo discreto 2a edición*. Ciudad de México: Prentice Hall Hispanoamericana S.A.
- Peng, W., Baghzouz, Y., & Haddad, S. (2013). Local Load Power Factor Correction by Grid-Interactive PV Inverters. *IEEE Grenoble Conference*. Grenoble.
- Peraza, E. (2016). *Corrección del factor de potencia mediante el desarrollo de un inversor fotovoltaico con operacion nocturna conectado a la red electrica*. Merida: UADY.
- R. T., M. L., & P. R. (2011). *Grid converters for photovoltaic and wind power systems*. United Kingdom: John Wiley & Sons, Ltd.
- Sankaran, C. (2002). *Power Quality*. Boca Raton, Florida, United States of America: CRC Press LLC.
- Seuss, J., & Harley, R. G. (2013). A low-cost distributed control strategy for rooftop PV with utility benefits. *2013 IEEE Power & Energy Society General Meeting*. doi:978-1-4799-1303-9/13
- Sira - Ramírez, H., & Silva - Ortega, R. (2006). *Control Design Techniques in Power Electronics Devices*. Mexico D.F.: Springer-Verlag London Limited.

- Sira - Ramirez, H., Ortega, R., Loria, A., & Nicklasson, P. J. (1998). *Passivity-based Control of Euler Lagrange Systems: Mechanical Electrical and Electromechanical Applications*.
- The MathWorks, Inc. (2017). *Help Documentation - PWM Generator (3-Level)*. The MathWorks, Inc.
- Varma, R. K., Siavashi, E. M., Das, B., & Sharma, V. (2012). Real-Time Digital Simulation of a PV solar system as STATCOM (PV-STATCOM) for voltage regulation and power factor correction. *2012 IEEE Electrical Power and Energy Conference*. Canada.
- Y.-K. C., T.-J. L., & W.-C. W. (2015). Design and Implementation of a Photovoltaic Grid-Connected Micro-Inverter with Power Factor Correction Technology. *9th International Conference on Power Electronics-ECCE Asia*. Seoul, Korea.

Anexos

A.1 Código principal - main.c

```

/* =====
 *
 * Copyright UADY, 2018
 * Todos los derechos reservados
 * No publicado, con licencia de software
 *
 * Información confidencial
 * la cual es propiedad de UADY.
 *
 * Control por pasividad para inversor monofásico de puente H completo.
 *
 * Código desarrollado por:
 * Diego Fernando Sánchez Flórez
 *
 * =====
 */

#include <project.h>
#include <math.h>
#include <stdlib.h>
#include <cruce.h>
#include <desfase90.h>
#include <sen2pik.h>
#include <cos2pik.h>
#include <controlPI.h>
#include <pasividad.h>

/* Definición de variables */
// Variables para el ADC
int16 V1, V2, V3, V4, V5;

// Cero del rango de medición del ADC.
int16 Voffset1 = 540; // Voffset ~= 2^9-1
int16 Voffset2 = 0; // Voffset ~= 2^9-1
int16 Voffset3 = 0; // Voffset ~= 2^9-1
int16 Voffset4 = 538; // Voffset ~= 2^9-1
int16 Voffset5 = 538; // Voffset ~= 2^9-1

int16 V1f, V2f, V3f, V4f, V5f; // Variables restadas del offset
float Vred, Vpv, Vc, Icarga, IL; // Variables flotantes obtenidas del
ADC
int Vred2, Vpv2, Vc2, Icarga2, IL2; // Variables para cálculos

// Variables para insertar en el DAC
int Ie = 5, s = 1, s2 = 2;

// Variable de tiempo para ejecución de control
int disparo;
int k;

// Variables bandera para inicio de programa

```

```

int ff = 0, f = 0;

// Retardo de activacion de k y de los PWM's, en ciclos de red, 180/60
= 3 segundos.
int retardo = 180;

/* Variables de escalamiento: las tensiones están en 100 unidades
   por volt y las corrientes en 100 unidades por Ampere */
// float V_b = 19.5503; // (200[V] - (0[V]))*100 / (2^(10)-1)
float V_b = 36.276; // (400[V] - (0[V]))*100 / (2^(10)-1)
// float V_b_red = 8.531; // 2*((200[V] - (-200[V]))*100)*(24/220)
/ (2^(10)-1
float V_b_red = 39.1007; // ((200[V] - (-200[V]))*100)* / (2^(10)-
1
float I_b = 0.9775; // (5[A] - (-5)[A])*100 / (2^(10)-1)
// float I_b = 9.7751; // (50[A] - (-50)[A])*100 / (2^(10)-1)

float V_pwm = 0.0125; // 500 ciclos de reloj / (400[V]*100)

// Transformada DQ
int I90;
float Iq;
// float Id;

// Calculo de la referencia
float P; // Relacion de Pdc y Pac
int z; // Variable de día o noche
float PI_Vc; // Salida del control PI
float ILref; // Corriente de referencia
// float GP = 0.0943; // Factor para hallar la potencia dia donde P =
Vpv*2*1A/(21.21Vp) -> Baja tensión
float GP = 0.0111; // Factor para hallar la potencia dia donde P =
Vpv*2*1A/(180Vp) -> Alta tensión

// Control PI para operacion de noche
float Eai = 0; // Error anterior inicial
float Uai = 0; // Control anterior inicial
int Vref = 30000; // Tension de referencia para el capacitor de
noche

// Calculo de salida U de pasividad
// float Vxai = 4500; // Tensión anterior del capacitor estimada para
SC
float Vxai = 30000; // Tensión anterior del capacitor estimada para C
float ILrefai = 0; // Corriente de referencia estimada inicial
float UUai = 0; // Señal de control de referencia inicial
float Up; // Señal de control que va a los PWM's

// Variables para escalamiento
int aa = 500; // periodo del pwm
int bb = 1023; // rango del ADC
int dd = 64; // Ganancia para el DAC de U
int ee = 127; // Es la referencia cero para los DAC de 8 bits
float gg = 0.02; // Ganancia para el DAC de la corriente de
referencia Iref

```

```

    // Variables para escribir en el PWM
    float ukp;          // Señal U escalada entre -500 y 500
    int ukea,ukeb, ukebb; // Para escribir en el registro de compare de
los PWM

    // Variables para escribir en los VDAC
    float w,x,y;
    int ukpa, ukpb, ukpc;

/* Interrupcion del ADC */
CY_ISR(ADC_inte)
{
    ADC_EOC_Int_Disable(); // Se deshabilita la interrupción
//-----
// Adecuación y escalamiento de las señales para procesamiento

// Lectura de los registros del ADC //
V1 = ADC_GetResult16(0);
V2 = ADC_GetResult16(1);
V3 = ADC_GetResult16(2);
V4 = ADC_GetResult16(3);
V5 = ADC_GetResult16(4);

// Ajuste de referencia
V1f = V1 - Voffset1;
V2f = V2 - Voffset2;
V3f = V3 - Voffset3;
V4f = V4 - Voffset4;
V5f = V5 - Voffset5;

// Escalamiento
Vred = V1f*V_b_red;
Vpv = V2f*V_b;
Vc = V3f*V_b;
Icarga = V4f*I_b;
IL = V5f*I_b;

// Asignacion de flotantes a valores enteros
Vred2 = Vred;
Vpv2 = Vpv;
Vc2 = Vc;
Icarga2 = Icarga;
IL2 = IL;

//-----
// Secuencia de arranque para reloj k y activación de los pwm's

disparo = cruce(Vred2);

if ((disparo == 1) && (ff < retardo))
{
    k = 0;

```

```

        ff = ff + 1; // Incremento por cruce por
cero Control_PWM_Write(0b00000000); // Apagado de los PWM
    }
    else if ((ff == retardo)&&(((disparo == 1) && (k > 190))|| (k >= 199)))
    {
        k = 0; // Reinicio de contador
        Control_PWM_Write(0b00000001); // Habilitación de los PWM
    }
    else if ((ff == retardo)&&(k < 199))
    {
        k = k + 1; // Incremento de k
        Control_PWM_Write(0b00000001); // Habilitación de los PWM
    }
    else
    {
        k = 0;
        Control_PWM_Write(0b00000000); // Deshabilitación de los PWM
en el comienzo
    }

//-----
// Transformada DQ

    I90 = desfase90(Icarga2); // Retardo de 90° en la
corriente de carga
    Iq = Icarga2*cos2pik(k) + I90*sen2pik(k); // Corriente de cuadratura

//-----
// Cálculo de referencia

// Definición de día o noche
if (Vpv2 >= 24000) // 240 [V] 2828 [V] Baja potencia
{
    z = 1; // Día
}
else
{
    z = 0; // Noche
}

// Cálculo de la corriente de referencia
if (z == 1)
{
    P = GP*Vpv2; // P = Vpv*2*2A/(180Vp)
    ILref = P*sen2pik(k) + Iq*cos2pik(k);
}
else
{
    PI_Vc = controlPI(Vref, Vc2, z, &Eai, &Uai); // Control PI
    ILref = PI_Vc*sen2pik(k) + Iq*cos2pik(k);
}

//-----

```

```

// Cálculo de U de referencia

if (ff < retardo)
{
    Up = 0.5;
}
else
{
    Up = pasividad(IL2, ILref, Vpv2, Vred2, z, &Vxai, &ILrefai, &UUai);
}
//-----
// Señal escalada para escribir en el registro compare del PWM

// ukp = Vred2*V_pwm;
ukp = (s2*Up - s)*aa; // Escalamiento de U para que quede entre -500 a
500 ukp = (2*U-1)*500;

//-----
// Se establece la condición de activación de los PWMs

if (ukp > 0)
{
    // limite superior
    if (ukp > 489) // 98 %
    {
        ukea = 489;
    }
    else {
        ukea = ukp;
    }
    // Se escribe el valor en el registro Compare del PWM
    PWM_Inverter_a_WriteCompare(ukea);
    PWM_Inverter_a_WriteDeadTime(6); // Se actualiza el valor del
tiempo muerto
    PWM_Inverter_b_WriteCompare(0);
    PWM_Inverter_b_WriteDeadTime(0); // Se actualiza el valor del
tiempo muerto
}

else if(ukp < 0)
{
    // limite inferior
    if (ukp < -489)
    {
        ukeb = -489;
    }
    else {
        ukeb = ukp;
    }
    ukebb = abs(ukeb);
    // Se escribe el valor en el registro Compare del PWM
    PWM_Inverter_a_WriteCompare(0);
    PWM_Inverter_a_WriteDeadTime(0); // Se actualiza el valor del
tiempo muerto
    PWM_Inverter_b_WriteCompare(ukebb);
}

```

```

        PWM_Inverter_b_WriteDeadTime(6);    // Se actualiza el valor del
tiempo muerto
    }

    else
    {
        PWM_Inverter_a_WriteCompare(0);
        PWM_Inverter_a_WriteDeadTime(0);
        PWM_Inverter_b_WriteCompare(0);
        PWM_Inverter_b_WriteDeadTime(0);

    }

//-----
// Escritura de señales en los VDAC para corroborar

//    w = sen2pik(k);
//    x = cos2pik(k);
//    ukpb = w*ee; // Se pasa de un dato float a int
//    ukpb = V1 >> 2; // Se pasa de un dato float a int
ukpb = Up*dd+ee;
ukpc = ILref*gg+ee;
VDAC_a_SetValue(k);
VDAC_b_SetValue(ukpc);
VDAC_c_SetValue(ukpb);
//-----

// Comprobación del ancho de pulso

Control_Cruce_Write(disparo);

//-----

// Se habilita la interrupcion

ADC_EOC_Int_Enable();
}

/*
//CY_ISR(ADC_s_inte)
//{
//    // Se deshabilita la interrupción
//    ADC_SOC_Int_Disable();
//
//    // Que el ADC realice una conversión
//    ADC_StartConvert();
//
//    // Se habilita la interrupción
//    ADC_SOC_Int_Enable();
//}
*/

int main()
{
    /* Habilitación de las interrupciones globales */
    CyGlobalIntEnable;
}

```

```

/* Inicialización de los componentes de hardware */
ADC_Start();
Timer_Start();
ADC_EOC_Int_StartEx(ADC_inte);
PWM_Inverter_a_Start();
PWM_Inverter_b_Start();
VDAC_a_Start();
VDAC_b_Start();
VDAC_c_Start();

for(;;)
{
}
}

```

A.2 Función cruce.c

```

/* =====
 *
 * Copyright UADY, 2018
 * Todos los derechos reservados
 * No publicado, con licencia de software
 *
 * Información confidencial
 * la cual es propiedad de UADY.
 *
 * Función cruce por cero
 *
 * Código desarrollado por:
 * Diego Fernando Sánchez Flórez
 *
 * =====
 */
#include <project.h>
#include <stdlib.h>

int neg, negA, c;

int cruce(int dato)
{
    if (dato >= 0) // Que sea mayor a -1 volt para que defina el positivo
    {
        neg = 0;
    }
    else
    {
        neg = 1;
    }
    if (negA == 1 && neg == 0)
    {
        c = 1;
    }
    else
    {
        c = 0;
    }
}

```

```

    }

    negA = neg;

    return c;
}

/* [] END OF FILE */

```

A.3 Función desfase90.c

```

/* =====
 *
 * Copyright UADY, 2018
 * Todos los derechos reservados
 * No publicado, con licencia de software
 *
 * Información confidencial
 * la cual es propiedad de UADY.
 *
 * Función retraso de 90°
 *
 * Código desarrollado por:
 * Diego Fernando Sánchez Flórez
 *
 * =====
 */

#include <project.h>
#include <stdlib.h>

float senal90[50]=
{
    0,0,0,0,0,0,0,0,0,0,0,0,
    0,0,0,0,0,0,0,0,0,0,0,0,
    0,0,0,0,0,0,0,0,0,0,0,0,
    0,0,0,0,0,0,0,0,0,0,0,0,
    0,0,0,0,0,0,0,0,0,0,0,0
};

float y90;
int i=0;

float desfase90(float dato)
{
    if (i<49)
    {
        senal90[i] = dato;
        y90 = senal90[i+1];
        i++;
    }
    else
    {
        senal90[49] = dato;
        y90 = senal90[0];
    }
}

```

```

        i = 0;
    }

    return y90;
}

/* [] END OF FILE */

```

A.4 Función sen2pik.c

```

/* =====
 *
 * Copyright UADY, 2018
 * Todos los derechos reservados
 * No publicado, con licencia de software
 *
 * Información confidencial
 * la cual es propiedad de UADY.
 *
 * Función seno
 *
 * Código desarrollado por:
 * Diego Fernando Sánchez Flórez
 *
 * =====
 */
#include <project.h>
#include <stdlib.h>

float seno[200] =
{
    0,      0.04,  0.07,  0.1,   0.13,  0.16,  0.19,  0.22,  0.25,
0.28,
    0.31,  0.34,  0.37,  0.4,   0.43,  0.46,  0.49,  0.51,  0.54,
0.57,
    0.59,  0.62,  0.64,  0.67,  0.69,  0.71,  0.73,  0.76,  0.78,
0.8,
    0.81,  0.83,  0.85,  0.87,  0.88,  0.9,   0.91,  0.92,  0.93,
0.95,
    0.96,  0.97,  0.97,  0.98,  0.99,  0.99,  1,     1,     1,
1,
    1,     1,     1,     1,     1,     0.99,  0.99,  0.98,  0.97,
0.97,
    0.96,  0.95,  0.93,  0.92,  0.91,  0.9,   0.88,  0.87,  0.85,
0.83,
    0.81,  0.8,   0.78,  0.76,  0.73,  0.71,  0.69,  0.67,  0.64,
0.62,
    0.59,  0.57,  0.54,  0.51,  0.49,  0.46,  0.43,  0.4,   0.37,
0.34,
    0.31,  0.28,  0.25,  0.22,  0.19,  0.16,  0.13,  0.1,   0.07,
0.04,
    0,     -0.04, -0.07, -0.1,  -0.13, -0.16, -0.19, -0.22, -0.25,
-0.28,
    -0.31, -0.34, -0.37, -0.4,  -0.43, -0.46, -0.49, -0.51, -0.54,
-0.57,

```

```

    -0.59,  -0.62,  -0.64,  -0.67,  -0.69,  -0.71,  -0.73,  -0.76,  -0.78,
-0.8,
    -0.81,  -0.83,  -0.85,  -0.87,  -0.88,  -0.9,   -0.91,  -0.92,  -0.93,
-0.95,
    -0.96,  -0.97,  -0.97,  -0.98,  -0.99,  -0.99,  -1,    -1,    -1,
-1,
    -1,    -1,    -1,    -1,    -1,    -0.99,  -0.99,  -0.98,  -0.97,
-0.97,
    -0.96,  -0.95,  -0.93,  -0.92,  -0.91,  -0.9,   -0.88,  -0.87,  -0.85,
-0.83,
    -0.81,  -0.8,   -0.78,  -0.76,  -0.73,  -0.71,  -0.69,  -0.67,  -0.64,
-0.62,
    -0.59,  -0.57,  -0.54,  -0.51,  -0.49,  -0.46,  -0.43,  -0.4,   -0.37,
-0.34,
    -0.31,  -0.28,  -0.25,  -0.22,  -0.19,  -0.16,  -0.13,  -0.1,   -0.07,
-0.04
};

float sen2pik(int k)
{
    return seno[k];
}

/* [] END OF FILE */

```

A.5 Función cos2pik.c

```

/* =====
 *
 * Copyright UADY, 2018
 * Todos los derechos reservados
 * No publicado, con licencia de software
 *
 * Información confidencial
 * la cual es propiedad de UADY.
 *
 * Función coseno
 *
 * Código desarrollado por:
 * Diego Fernando Sánchez Flórez
 *
 * =====
 */
#include <project.h>
#include <stdlib.h>
#include <sen2pik.h>

float coseno;

float cos2pik(int k)

// Para 200 datos
{
    if (k < 150)
    {
        coseno = sen2pik(k + 50);
    }
}

```

```

    }
    else
    {
        coseno = sen2pik(k - 150);
    }
    return coseno;
}

/* [] END OF FILE */

```

A.6 Función controlPI.c

```

/* =====
 *
 * Copyright UADY, 2018
 * Todos los derechos reservados
 * No publicado, con licencia de software
 *
 * Información confidencial
 * la cual es propiedad de UADY.
 *
 * Función control PI
 *
 * Código desarrollado por:
 * Diego Fernando Sánchez Flórez
 *
 * =====
 */

#include <project.h>
#include <stdlib.h>

// Señal de error y su anterior
float E;
// Señal de control y su anterior
float U;
// Ganacias del controlador
float Kp = 0.05;
float Ki = 0.6;
// Periodo de muestreo
float Ts = 0.0000833;           // Periodo de muestreo T = 1/12khz

float controlPI(int Ref, int Med, int z, float *E_1, float *U_1)
{
    if (z == 0)
    {
        E = Med - Ref;
        U = (Kp + Ki*Ts)*E - Kp>(*E_1) + *U_1;
    }
    else
    {
        E = 0;
        U = 0;
    }

    *U_1 = U;
}

```

```

    *E_1 = E;

    return U;
}

/* [] END OF FILE */

```

A.7 Función pasividad.c

```

/* =====
 *
 * Copyright UADY, 2018
 * Todos los derechos reservados
 * No publicado, con licencia de software
 *
 * Información confidencial
 * la cual es propiedad de UADY.
 *
 * Función pasividad
 *
 * Código desarrollado por:
 * Diego Fernando Sánchez Flórez
 *
 * =====
 */
#include <project.h>
#include <stdlib.h>

// Variable de control
float UU;

// Voltaje del capacitor
float Vx;          // 250 [V] a nominal    45[V] baja potencia

// Constantes
//float fm = 12000;    // Frecuencia de muestreo
//float L = 0.021;    // Inductancia
float L2 = 252;      // L2 = L*fm
////float C = 6.78;    // Capacitancia supercapacitor
//float C2 = 0.00001229; // C2 = 1/(fm*C)
//float C = 0.0033;    // Capacitancia
float C2 = 0.02525; // C2 = 1/(fm*C)
int R = 6;          // Resistencia del filtro

// Ganancia de Pasividad
int Rp;

// Variables auxiliares
float a,b,c,d;
float a2 = 0.5;
int m = 1, d2 = 2;
int z_1;

// Función control por pasividad
float pasividad(int IL2, float ILref, int Vpv2, int Vred2, int z, float
 *Vx_1, float *ILref_1, float *UU_1)

```

```

{
  a = L2*(ILref - *ILref_1);
  b = ILref*R;

  if (z == 0) // Noche
  {
    if (z_1 == 1) // Reset de Vx cuando ocurre el cambio de día a
noche
    {
      //      *Vx_1 = 4500;
      *Vx_1 = 30000;
    }
    Rp = 90; // 90 nominal
    c = Rp*(IL2 - ILref);
    Vx = (C2*(m - d2*( *UU_1))*ILref) + *Vx_1;
    d = d2*Vx;
  }
  else // Día
  {
    Rp = 50; // 50 nominal y SC
    c = Rp*(IL2 - ILref);
    Vx = *Vx_1;
    d = d2*Vpv2;
  }
  // Calculo de U
  UU = ((a + b + Vred2 - c)/(d)) + a2;

  // Actualizacion de valores anteriores
  *Vx_1 = Vx;
  z_1 = z;
  *ILref_1 = ILref;
  *UU_1 = UU;

  // Salida
  return UU;
}

/* [] END OF FILE */

```

A.8 Conexión de la tarjeta PSOC5

A continuación, se muestra la lista de conexión de los pines de la tarjeta PSOC.

	Name /	Port	Pin	Lock
<input type="checkbox"/>	\ADC:SAR:Bypass\	P0[2] ▼	50 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	ADC_0	P3[0] ▼	29 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	ADC_1	P3[2] ▼	31 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	ADC_2	P3[3] ▼	32 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	ADC_3	P3[4] ▼	33 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	ADC_4	P3[5] ▼	34 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	cruce_cero	P0[5] ▼	54 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	EOC	P1[5] ▼	16 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	Iref	P0[6] ▼	55 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	k	P0[7] ▼	56 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	PWM_1	P2[4] ▼	66 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	PWM_2	P2[5] ▼	68 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	PWM_3	P2[6] ▼	1 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	PWM_4	P2[7] ▼	2 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	SOC_out	P1[7] ▼	19 ▼	<input checked="" type="checkbox"/>
<input type="checkbox"/>	u	P0[0] ▼	48 ▼	<input checked="" type="checkbox"/>